

Family list

1 application(s) for: JP2003068642 (A)

**1 SEMICONDUCTOR DEVICE AND METHOD FOR
MANUFACTURING THE SAME**

Inventor: MAKITA NAOKI

Applicant: SHARP KK

EC:

IPC: H01L21/20; H01L21/322; H01L21/336; (+7)

Publication Info: JP2003068642 (A) — 2003-03-07
JP4106204 (B2) — 2008-06-25

Data supplied from the **esp@cenet** database — Worldwide

English Translation of JP2003-68642

(19) Japan Patent Office (JP)

(12) Published Patent Application (A)

(11) Publication Number: 2003-68642 (P2003-68642A)

5 (43) Date of publication of application: March 7, 2003

(51) Int.Cl.⁷ Identification Symbol FI Theme Code (Reference)

H01L 21/20 H01L 21/20 5F052

H01L 21/322 21/322 R 5F110

H01L 21/336 29/78 627Z

10 H01L 29/786 627G

Request of Examination: not made

Number of Claims: 30 OL (30 pages in total)

(21) Application number: 2001-251420 (P2001-251420)

(22) Date of filing: August 22, 2001

15 (71) Applicant: 000005049

SHARP CORPORATION

22-22, Nagaike-cho, Abeno-ku, Osaka

(72) Inventor: Naoki MAKITA

c/o Sharp Corporation

20 22-22, Nagaike-cho, Abeno-ku, Osaka

(74) Agent: Patent attorney: 100062144

Tamotsu AOYAMA (and one other)

Continued on the last page

(54) [Title of the Invention]: SEMICONDUCTOR DEVICE AND METHOD FOR
 25 MANUFACTURING THE SAME

(57) [Abstract]

[Object] To provide a semiconductor device having stable characteristics with little variation.

[Solution] A very small quantity of Ni 4 is added to a surface of an a-Si film 3 formed
 30 on a glass substrate 1, and under an inert atmosphere, a heat treatment is performed to

turn the a-Si film 3 into a crystalline silicon film 3a, and it is irradiated with a laser beam 5 to be a crystalline silicon film 3b of higher quality. In addition, an a-Si film 7 and an a-Si film 8 including phosphorus are formed, and the heat treatment is performed under the inert atmosphere at 450°C to 550°C for 5 minutes to 4 hours at a temperature increase/decrease rate of 5°C/min or higher. The second a-Si films 7 and 8, which serve as a gettering sink, are kept in an amorphous state, and with defects being a segregation trap, most of Ni 4 in the crystalline silicon film 3b moves to the second a-Si films 7 and 8. The residual Ni concentration is reduced to approximately 1/4 of a conventional method, and a high quality crystalline silicon film 3c is obtained. By using the crystalline silicon film 3c, a semiconductor device having stable characteristics with little variation can be formed.

Specification

[Scope of Claim for Patent]

[Claim 1] A method for manufacturing a semiconductor device, comprising:

- 15 a step of forming a first amorphous silicon film over a substrate having an insulating surface, and introducing a catalytic element which is to promote crystallization to the first amorphous silicon film;
- a step of performing a first heat treatment so that a crystal growth of the first amorphous silicon film in which the catalytic element is added is caused and a crystalline silicon
- 20 film is obtained;
- a step of forming a second amorphous silicon film over the crystalline silicon film;
- a step of performing a second heat treatment in a condition that the second amorphous silicon film is not completely crystallized to move the catalytic element in the crystalline silicon film to the second amorphous silicon film;
- 25 and a step of forming an active area of the semiconductor device using the crystalline silicon film after removing the second amorphous silicon film.

[Claim 2] The method for manufacturing a semiconductor device according to Claim 1, wherein the second heat treatment is performed in a condition that a crystal nucleation does not occur at all in the second amorphous silicon film.

30 [Claim 3] The method for manufacturing a semiconductor device according to Claim 1

or 2,

wherein the second heat treatment is performed at a heating temperature and for a processing time that concentration of the catalytic element in the crystalline silicon film and the concentration of the catalytic element in the second amorphous silicon film are
5 in a segregation state in a thermal equilibrium state.

[Claim 4] The method for manufacturing a semiconductor device according to any one of Claims 1 to 3,

wherein the second heat treatment is performed at a heating temperature of equal to or more than 450°C to equal to or less than 550°C and for a treatment time of equal to or
10 more than 5 minutes to equal to or less than 4 hours.

[Claim 5] The method for manufacturing a semiconductor device according to Claim 4, wherein the heating temperature is equal to or more than 450°C to equal to or less than 520°C, and the treatment time of equal to or more than 10 minutes to equal to or less than 2 hours.

15 [Claim 6] The method for manufacturing a semiconductor device according to any one of Claims 1 to 5,

wherein in the second heat treatment, a temperature is increased at a rate of temperature increase exceeding 5°C/minute to the temperature of the heat treatment, and temperature is decreased at a rate of temperature decrease exceeding 5°C/minutes after
20 the heat treatment is finished.

[Claim 7] The method for manufacturing a semiconductor device according to any one of Claims 1 to 6,

wherein the second heat treatment is performed using a furnace in which a substrate is placed such that in a furnace core tube having a cross-sectional shape approximately
25 similar to a plane shape of the substrate so that the substrate surface faces to the furnace core tube and at the same time a space between the furnace core tube and the substrate is equal to or more than 10 mm to equal to or less than 80 mm.

[Claim 8] The method for manufacturing a semiconductor device according to Claim 7, wherein the method for manufacturing the semiconductor device is characterized in; the
30 cross sectional shape of the furnace core tube and the plane shape of the substrate are

rectangular.

[Claim 9] The method for manufacturing a semiconductor device, according to any one of Claims 1 to 8,

wherein the second amorphous silicon film includes an element which is chosen from group 5B.

[Claim 10] The method for manufacturing a semiconductor device according to Claim 9,

wherein the element chosen from group 5B is one or plural kinds of phosphorus, arsenic, and antimony.

[Claim 11] The method for manufacturing a semiconductor device, according to Claim 10,

wherein the second amorphous silicon film includes phosphorus.

[Claim 12] The method for manufacturing a semiconductor device, according to Claim 11,

wherein the second amorphous silicon film is formed with at least a silane gas and a phosphine gas as a material gas by a plasma chemical vapor deposition method at a film deposition temperature of equal to or less than 400°C.

[Claim 13] The method for manufacturing a semiconductor device, according to Claim 11,

wherein the second amorphous silicon film includes boron in addition to the phosphorus.

[Claim 14] The method for manufacturing a semiconductor device, according to Claim 13,

wherein the second amorphous silicon film is formed with at least a silane gas, a phosphine gas and a diborane gas as a material gas, and by a plasma chemical vapor deposition method at equal to or less than 400°C.

[Claim 15] The method for manufacturing a semiconductor device, according to any one of Claims 1 to 8,

wherein the second amorphous silicon film includes a rare gas element chosen from argon, krypton, and xenon.

[Claim 16] The method for manufacturing a semiconductor device, according to Claim 15,

wherein the method for manufacturing the semiconductor device is characterized in; the second amorphous silicon film includes argon.

5 [Claim 17] The method for manufacturing a semiconductor device, according to Claim 16,

wherein the second amorphous silicon film is added argon by an ion doping method, after formed by a plasma chemical vapor deposition method.

[Claim 18] The method for manufacturing a semiconductor device, according to any
10 one of Claims 1 to 8,

wherein between the crystalline silicon film and the second amorphous silicon film, a barrier thin film which functions as an etching stopper when removing the second amorphous silicon film is formed.

[Claim 19] The method for manufacturing a semiconductor device, according to Claim
15 18,

wherein the barrier thin film is a silicon oxide film of equal to or less than 50 Å thick.

[Claim 20] The method for manufacturing a semiconductor device according to any one of Claims 1 to 8, further comprising:

a step of irradiating the crystalline silicon film which is obtained by the first heat
20 treatment is with laser light to improve crystallinity of the crystalline silicon film,
wherein the second amorphous silicon film is formed over the crystalline silicon film with improved crystallinity.

[Claim 21] The method for manufacturing a semiconductor device, according to any one of Claims 1 to 20,

25 wherein the catalytic element which is added to the first amorphous silicon film is one or plural kinds chosen from nickel, cobalt, iron, palladium, platinum, copper, and gold.

[Claim 22] The method for manufacturing a semiconductor device, according to Claim 21,

30 wherein as the catalytic element which promotes crystallization, nickel is added to the first amorphous silicon film.

[Claim 23] The method for manufacturing a semiconductor device according to any one of Claims 1 to 22,

wherein the amount of the catalytic element which is added to the first amorphous silicon film is equal to or more than $5 \times 10^{11} \text{ cm}^{-2}$ and equal to or less than $5 \times 10^{13} \text{ cm}^{-2}$ in measured value of total reflection X-ray fluorometry.

[Claim 24] A semiconductor device manufactured by the method for manufacturing a semiconductor device according to any one of Claims 1 to 23.

[Claim 25] A semiconductor device which is formed over the substrate having an insulating surface, and which uses a silicon film having crystallinity as an active area, wherein the active area includes a catalytic element to promote crystallization, and has concentration distribution of the catalytic element to a direction of a film thickness.

[Claim 26] The semiconductor device according to Claim 25, wherein the concentration distribution of the catalytic element decreases from a surface opposite to that on the substrate side of the active area toward a surface on the substrate side.

[Claim 27] The semiconductor device according to Claim 25 or 26, wherein the catalytic element is solid dissolved in silicon lattice in the active area, and is not precipitated as a silicide.

[Claim 28] The semiconductor device according to Claim 25, wherein a periphery of a surface of the active area includes an argon element.

[Claim 29] The semiconductor device according to any one of Claims 25 to 28, wherein the active area includes at least a nickel element as the catalytic element.

[Claim 30] The semiconductor device according to any one of Claims 25 to 29, wherein an average concentration of the catalytic element in the active area is equal to or more than $1 \times 10^{15} \text{ cm}^{-3}$ to equal to or less than $1 \times 10^{17} \text{ cm}^{-3}$.

[Detailed Description of the Invention]

[0001]

[Technical Field of the Invention] The present invention relates to a manufacturing method of a semiconductor device, and more particularly to a manufacturing method of a semiconductor device in which an active area is a crystalline silicon film that is

crystallized from an amorphous silicon film. In particular, this invention is effective for a semiconductor device with the use of a thin film transistor (TFT) provided over a substrate having an insulating surface, and can be utilized for an active matrix liquid crystal display device, a contact image sensor, a three-dimensional IC (an integrated circuit), and the like.

[0002]

[Prior Art] In recent years, to a realization of large and high resolution liquid crystal display device, high speed and high resolution contact image sensor, three-dimensional IC, and the like, an attempt to form a high performance semiconductor device over an insulating substrate or an insulating film such as glass has been made. It is common to use a thin film-shaped silicon semiconductor for semiconductor element used for each device. The thin-film-shaped silicon semiconductor is classified roughly into two; one which is formed of an amorphous silicon (a-Si (amorphous silicon)) semiconductor and the other formed of a silicon semiconductor having crystallinity.

[0003] The amorphous silicon semiconductor, for its manufacturing temperature is low, and it can be relatively easily manufactured by a vapor phase method, and it is highly mass producible, is the most generally used. However, since its physical properties such as conductivity and the like are inferior to those of the silicon semiconductor having crystallinity; therefore, in order to obtain further higher-speed characteristics, establishment of a method for manufacturing the semiconductor device formed of the silicon semiconductor having the crystallinity is strongly required.

[0004] As methods for obtaining these thin-film-shaped silicon semiconductors, the following methods and the like are known:

- (1) an amorphous semiconductor film is formed, and crystal growth is performed by irradiation with energy beam such as laser light.
- (2) an amorphous semiconductor film is formed, and crystal growth is performed in a solid-phase state by the heat treatment.

[0005] In general, the method of (1) is often used. In this method, a crystallization phenomenon in a course of melting and solidification is used; therefore, the crystalline silicon film of relatively high quality is obtained wherein crystal grains are small in

diameter, but there are few crystal defects in the crystal grains. However, a defect density in a grain boundary portion is high, which acts as a large trap for the carrier, and it is not sufficient from an aspect of performance of the semiconductor device. In addition, as for the source of light, an excimer laser which is at present the most
5 generally used for example, one having sufficient stability has not been obtained yet, and the characteristics variation among the semiconductor devices is a problem.

[0006] In addition, in the method of (2), compared to the method of (1) there are advantages with respect to uniformity and stability in the substrate. However, the heat treatment at 600°C for 30 hours of long period is necessary, and there are problems that
10 processing time is long and throughput is low. Further, in this method, since crystal structure is a twin structure, one crystal grain is relatively large such as a few μm ; however, many twin crystal defects are included in the crystal grain and the crystallinity is inferior to the method of (1) of the above.

[0007] However, recently, as a remedy for these methods, a method which lowers the
15 heating temperature, shortens the processing time, and improves the crystallinity by utilizing a catalytic element which promotes the crystallization of an amorphous silicon film has attracted attention. Specifically, a very small amount of metal element such as nickel is added to the surface of the amorphous silicon film, and after that heating is performed. In this method, crystal nucleation in which the metal element is a nucleus
20 occurs at an early stage, and after that crystal growth is promoted by the metal element acting as a catalyst, so that the crystallization drastically progresses. In addition, a crystalline silicon film which crystal growth is performed by such a method is different from a normal solid-phase growth method (the method of (2)) that it is not a twin structure in which there are many defects in one grain, but it is structured with a
25 network of many columnar crystals, and although small, inside of each of the columnar crystals is generally in a single-crystalline state.

[0008] In Published Patent Application No. H10-223534 and Published Patent Application No. H10-229048, the silicon crystallized by the catalytic element, in a part of which an element of group 5B such as phosphorus is selectively added, and is heat
30 treated to move (gettering) the catalytic element to the area where the element of group

5B is added. In addition, in these published patent applications, the heat treatment of the gettering process of the above is performed by intense light irradiation. And, in order to improve the heating efficiency of light at the intense light irradiation, a film which has high absorption efficiency to the utilized intense light is additionally stacked.

5 The film which has high absorption efficiency to the utilized intense light of that case, in the case of the Published Patent Application No. H10-223534, is selectively provided to be also used as an introducing mask in introducing the element of 5B. Furthermore, in the case of the Published Patent Application No. H10-229048, it is provided newly to the entire surface of the substrate, after the element of group 5B is added.

10 [0009] In addition, in Published Patent Application No. H11-31660, a thermal oxide film is formed on the surface of a silicon film crystallized by a catalytic element, and thereover, a silicon film containing phosphorus in high concentration is provided and the heat treatment is performed to move the catalytic element to the upper silicon film and a reduction of the concentration of the catalytic element in the lower crystalline
15 silicon film is achieved. And, the silicon film including phosphorus in the upper layer is removed, and the lower crystalline silicon film is used as an active area of the semiconductor device.

[0010]

[Problems to be Solved by the Invention] However, methods for obtaining crystalline
20 silicon film of high quality such as disclosed in the Published Patent Application No. H10-223534, the Published Patent Application No. H10-229048, and the Published Patent Application No. H11-31660, have problems such as follows.

[0011] In other words, as mentioned above, the crystallization of an amorphous silicon film is performed by introducing the catalytic element, therefore lowering the
25 temperature of the heating temperature and shortening of a heating period are achieved, and the crystallinity of a silicon film obtained after the crystallization is clearly superior to that of the conventional methods of the crystallization. However, a fact that the above catalytic element of mainly the above metal kind exists in large quantity in the semiconductor blocks the electrical stability and reliability of the device using these
30 semiconductors, which is not at all preferable.

[0012] Thus, the catalytic element that promotes crystallization such as nickel is needed when crystallizing the amorphous silicon; however it is desirable not to be included in the crystallized silicon as much as possible. In order to do so, first, the quantity of the catalyst element which is required for the crystallization is reduced as much as possible, and the crystallization needs to be performed with the minimum quantity. However, as the quantity of the catalytic element to be added is reduced, the growth state becomes very unstable. The crystalline silicon film formed in such an unstable state, in which variation in the crystallinity in a substrate becomes very large, cannot be possibly used as the film forming the active area of the semiconductor device.

10 [0013] Therefore, second, like the each published patent application, there is a method such as the catalytic element within the device area is removed or reduced by moving (gettering) the catalytic element after the crystal growth is performed using the catalytic element. However, as the present inventor and the like actually performed experiments using the methods in the Published Patent Application No. H10-223534 and the Published Patent Application No. H10-229048 and made a TFT element experimentally, it was found that a sufficient effect was not obtained. In particular, even after a step called gettering, there still exists a large quantity of the catalytic element, and the TFT element is clearly adversely affected. In particular, after the gettering step, an introduction area is removed and the heat treatment at even higher temperature is performed, and the catalytic element remaining in the element area reaggregates and appears in a silicide state. This is a proof that the above mentioned gettering methods are still insufficient.

[0014] In addition, when these catalytic elements exist in a junction portion of the TFT, they become a leak source, and a leak current during off operation increases significantly. When the TFT was experimentally made according to the methods of the Published Patent Application No. H10-223534 and the Published Patent Application No. H10-229048, with a probability of approximately 3 %, a defective TFT with high leak current at off operation is produced. And, as the cause of that TFT was examined, the existence of the silicide caused by the catalytic element was confirmed in the junction portion between a channel portion and a drain portion.

[0015] In addition, the Published Patent Application No. H11-31660 is a unique method in which the catalytic element is moved in the longitudinal direction (direction of film thickness) to an upper silicon film by providing a silicon film containing phosphorus in high concentration over a crystalline silicon film which serves as the active area and performing the heat treatment. Therefore, since that gettering distance (the distance that the catalytic element should move) is only the distance of the film thickness, the distance can be shorter compared to the above two published patent applications (gettering to the lateral direction), a high gettering effect can be expected. However, when a TFT was experimentally made by this method, the gettering ability was not at all high and the reduction of the concentration of the catalytic element was not at all sufficient. Compared to the two published patent applications, it was equivalent or rather inferior.

[0016] As mentioned above, the gettering methods disclosed in the above mentioned conventional three published patent applications cannot reduce the catalytic element in the element area sufficiently. As a result, some semiconductor devices of high quality can be made stochastically, but a defect rate is high and reliability is very low, therefore the gettering is not a technology to be mass-produced.

[0017] Therefore, an object of this invention is to provide a method for manufacturing a semiconductor device which has only a little variation and stable characteristics and has high performance and high degree of integration by a simple and an easy manufacturing process, and to provide a semiconductor device which is manufactured by the manufacturing method.

[0018]

[Means for Solving the Problem] To achieve the above mentioned purpose, the first invention is characterized by including the steps of forming a first amorphous silicon film over a substrate having an insulating surface, and introducing a catalytic element to the first amorphous silicon film to promote the crystallization; performing a first heat treatment to cause crystal growth in the first amorphous silicon film, in which the catalytic element is added, crystal grow to be a crystalline silicon film; forming a second amorphous silicon film over the crystalline silicon film; performing a second

heat treatment under a condition that the second amorphous silicon film is not completely crystallized and moving the catalytic element in the above crystalline silicon film to the second amorphous silicon film, and forming an active area of a semiconductor device using the crystalline silicon film after removing the second
5 amorphous silicon film.

[0019] According to the above mentioned constitution, the catalytic element which promotes the crystallization is added to the first amorphous silicon film and the first heat treatment is performed, and the first amorphous silicon film becomes a crystalline silicon film. After that, the second amorphous silicon film is formed over the
10 crystalline silicon film, and the second heat treatment is performed under the condition that the second amorphous silicon film is not completely crystallized, and the catalytic element in the crystalline silicon film is moved to the second amorphous silicon film. As thus described, since the heat treatment is performed under the condition that the second amorphous silicon film is not completely crystallized, defects such as dangling
15 bonds and the like in the second amorphous silicon film serves as a segregation site for the catalytic element and the catalytic element which is moved from the crystalline silicon film is trapped.

[0020] As a result, compared to the conventional method in which the heat treatment is not performed in a condition where the second amorphous silicon film is not
20 crystallized, the amount of the remaining catalytic element in the crystalline silicon film is largely reduced. Thus, compared to the conventional method, an abnormality of leak current at off operation disappears in the semiconductor device, and high reliability is obtained.

[0021] In addition, in one embodiment, in the method for manufacturing the
25 semiconductor device of the first invention, the second heat treatment is performed under the condition that a crystalline nucleus does not occur at all in the second amorphous silicon film.

[0022] According to this embodiment, the second heat treatment is performed under the condition that the crystalline nucleus does not occur at all in the second amorphous
30 silicon film. As thus, for the entire period of time during which the catalytic element

in the crystalline silicon film is moved to the second amorphous silicon film, the maximum gettering segregation site is held. Therefore, the maximum trap effect of the catalytic element to the segregation site is obtained, and the highest gettering effect is provided.

5 [0023] In addition, in one embodiment, in the method for manufacturing the semiconductor device of the first invention, the second heat treatment is performed at the heating temperature and for the heating time such that the concentration of the catalytic element in the crystalline silicon film and the concentration of the catalytic element in the second amorphous silicon film are in a segregation state in the state of
10 thermal equilibrium.

[0024] According to this embodiment, the second heat treatment is performed at a heating temperature and for a heating time that are provided in the segregation state in the state of equilibrium. Thus, the gettering effect is saturated at the time the state of thermal equilibrium of segregation state is achieved, and the highest and the most stable
15 gettering effect is obtained.

[0025] In addition, in one embodiment, in the method for manufacturing the semiconductor device of the first invention, the second heat treatment is performed at a heating temperature of equal to or more than 450°C to equal to or less than 550°C and for a processing time of equal to or higher than 5 minutes to equal to or lower than 4
20 hours.

[0026] According to this embodiment, as can be seen in FIG. 7, the catalytic element is only gettered a distance of 100 nm. Therefore, the catalytic element in the crystalline silicon film is gettered sufficiently in the direction of the thickness of the film.

[0027] In addition, in one embodiment, in the method for manufacturing the
25 semiconductor device of the first invention, the heating temperature is equal to or more than 480°C to equal to or less than 520°C, and the processing time is equal to or more than 10 minutes to equal to or less than 2 hours.

[0028] According to this embodiment, the second heat treatment is performed to even glass substrate of 600 mm × 720 mm with a thickness of 0.7 mm which is used for a
30 motherboard of an active matrix substrate for a liquid crystal display without bending

by weight.

[0029] In addition, in one embodiment, in the method for manufacturing the semiconductor device of the first invention, in the heat treatment, temperature increases at a rate of temperature increase exceeding 5°C/minute to a temperature of the heat treatment, and after the heat treatment, temperature decreases at a rate of temperature decrease exceeding 5°C/minute.

[0030] According to this embodiment, when using the glass substrate, the second heat treatment is performed without thermal damage due to extra heat treatment and without loss of the gettering effect.

10 [0031] In addition, in one embodiment, in the method for manufacturing the semiconductor device of the first invention, the second heat treatment is performed using a furnace in which a substrate is placed such that in a furnace core tube having a cross-sectional shape approximately similar to a plane shape of the substrate so that the substrate surface faces to the furnace core tube and at the same time a space between the furnace core tube and the substrate is equal to or more than 10 mm to equal to or less than 80 mm.

[0032] According to this embodiment, since the space between the furnace core tube and the substrate in the furnace is equal to or more than 10 mm to equal to or less than 80 mm, the amount of an ambient gas supplied to the substrate surface during the second heat treatment can be increased. Thus, rapid rates of temperature increase and decrease are achieved and a temperature distribution within the substrate is generally stabilized, therefore a stable performance without bending or cracking is achieved to even a large glass substrate of meter size.

25 [0033] In addition, in one embodiment, in the first method for manufacturing the semiconductor device, the cross sectional shape of the furnace core tube and the plane shape of the substrate are rectangular.

[0034] According to this embodiment, the space between the substrate having a rectangular plane shape and the furnace core tube is held optimally, and the rapid rates of temperature increase and decrease required at the second heat treatment are achieved, and the temperature distribution within the substrate is generally stabilized.

30

[0035] In addition, in one embodiment, in the method for manufacturing the semiconductor device of the first invention, the second amorphous silicon film includes an element selected from group 5B.

5 [0036] According to this embodiment, since the second amorphous silicon film includes an element selected from group 5B, solid solubility of the catalytic element in the second amorphous silicon film drastically improves. Thus, in addition to the gettering effect by a trap of the catalytic element by the segregation site, the gettering effect of the catalytic element by a difference of the solid solubility is performed at the same time. In this way, the concentration of the catalytic element in the crystalline silicon film is
10 further reduced.

[0037] In addition, in one embodiment, in the method for manufacturing the semiconductor device of the first invention, the element selected from group 5B is one or more of phosphorus, arsenic, and antimony.

[0038] According to this embodiment, one or more of P, As, and Sb chosen from group
15 5B are included in the amorphous silicon film. As thus, the catalytic element is efficiently moved, and a sufficient gettering effect is obtained.

[0039] In addition, in one embodiment, in the method for manufacturing the semiconductor device of the first invention, the second amorphous silicon film includes phosphorus.

20 [0040] According to this embodiment, of the elements chosen from the group 5B, P from which the highest gettering effect is obtained is included in the second amorphous silicon film. Thus, a further higher gettering effect is obtained.

[0041] In addition, in one embodiment, in the method for manufacturing the semiconductor device of the first invention, the second amorphous silicon film
25 including phosphorus is formed by plasma CVD (chemical vapor deposition) at a deposition temperature of equal to or less than 400°C with at least a silane gas and a phosphine gas as a material gas.

[0042] In the case where an ion doping method is used to make phosphorus is included in the second amorphous silicon film, the temperature of the substrate becomes high and
30 the amorphous silicon film is microcrystallized. In that case, the gettering effect

becomes small. According to this embodiment, it is formed by a plasma CVD method at a deposition temperature of equal to or less than 400°C with at least SiH₄ gas and PH₃ gas as a material gas, therefore the silicon film of almost complete amorphous state is obtained, and the concentration of phosphorus becomes very high. Therefore, the
5 gettering effect of the catalytic element is not lost.

[0043] In addition, in one embodiment, in the method for manufacturing the semiconductor device of the first invention, the second amorphous silicon film includes boron as well as phosphorus.

[0044] According to this embodiment, since the second amorphous silicon film includes
10 boron, the catalytic element in the second amorphous silicon film becomes easy to be precipitated. As a result, the gettering effect to a defect or the segregation site becomes superior to a diffusion transfer gettering effect using a difference of solid solubility of the catalytic element by phosphorus. In the case, since the latter gettering capability has higher gettering effect, a higher gettering effect of the catalytic element is
15 obtained.

[0045] In addition, in one embodiment, in the method for manufacturing the semiconductor device of the first invention, the second amorphous silicon film including phosphorus and boron is formed by a plasma CVD method at a deposition temperature of equal to or less than 400°C with at least a silane gas and a phosphine gas
20 as a material gas.

[0046] According to this embodiment, since the second amorphous silicon film including boron and phosphorus is formed by a plasma CVD method at a deposition temperature of equal to or less than 400°C with at least a SiH₄ gas, a PH₃ gas, and a B₂H₆ gas as a material gas, the silicon film of almost complete amorphous state is
25 obtained and the concentration of phosphorus and boron become very high. Therefore, the gettering effect of the catalytic element is not lost.

[0047] In addition, in one embodiment, in the method for manufacturing the semiconductor device of the first invention, the second amorphous silicon film includes a rare gas element chosen from argon, krypton, and xenon.

30 [0048] According to this embodiment, since the second amorphous silicon film includes

the rare gas element chosen from Ar, Kr, and Xe, a large lattice distortion is generated. Thus, the gettering effect caused by defect and segregation site is enabled to work very strongly. Furthermore, since these elements obstruct the crystal growth of the second amorphous silicon film and slows the rate of the crystal growth, the second amorphous silicon film is kept as more amorphous state at the time of the second heat treatment. Thus, the higher gettering effect is obtained.

[0049] In addition, in one embodiment, in the method for manufacturing the semiconductor device of the first invention, the second amorphous silicon film includes argon.

10 [0050] According to this embodiment, Ar from which the highest gettering effect is obtained among the elements chosen from the Ar, Kr, and Xe is included in the second amorphous silicon film. Therefore, higher gettering effect is obtained.

[0051] In addition, in one embodiment, in the method for manufacturing the semiconductor device of the first invention, to the second amorphous silicon film, after formed by a plasma CVD method, argon is added by an ion doping method.

15 [0052] According to this embodiment, after the second amorphous silicon film is formed first, lattice distortion of the second amorphous silicon film becomes larger as Ar element is added by a doping method, and higher gettering effect is obtained. In addition, in that case, a material gas for doping is a rare gas and has purity of 100%, therefore throughput of doping is very high.

[0053] In addition, in one embodiment, in the method for manufacturing the semiconductor device of the first invention, a barrier thin film which functions as an etching stopper when the second amorphous silicon film is removed is formed between the second amorphous silicon film and the crystalline silicon film.

25 [0054] The crystalline silicon film of a lower layer and the second amorphous silicon film of and upper layer are of the same silicon film type material; therefore a selective etching having the etching selectivity ratio of close to 100% is impossible. According to this embodiment, since barrier thin film which serves as the etching stopper when the second amorphous silicon film trapping the catalytic element is removed is formed between the second amorphous silicon film and the crystalline silicon film which

30

becomes an active area, only the second amorphous silicon film of the upper layer is completely removed while leaving the crystalline silicon film of the upper layer.

[0055] In addition, in one embodiment, in the method for manufacturing the semiconductor device of the first invention, the barrier thin film is a silicon oxide film
5 of equal to or less than 50 Å thick.

[0056] According to this embodiment, since the silicon oxide film having a thickness of equal to or less than 50 Å is used as the barrier thin film, it has a sufficient etching selectivity ratio as the etching stopper. Moreover, through the barrier thin film, a transfer of the catalytic element from the crystalline silicon film of the lower layer to the
10 second amorphous silicon film of the upper layer is performed, and the sufficient gettering effect is obtained.

[0057] In addition, in one embodiment, in the method for manufacturing the semiconductor device of the first invention, a step of irradiating the crystalline silicon film obtained by the first heat treatment with the laser light to improve crystallinity of
15 the crystalline silicon film is included, and also the second amorphous silicon film is formed over the crystalline silicon film which is improved its crystallinity.

[0058] According to this embodiment, the crystalline silicon film obtained by the first heat treatment is irradiated with the laser light, and a crystal grain boundary portion or a fine remaining amorphous area (non-crystallized area) are intensively processed due to
20 the difference in melting point between the amorphous silicon film and the crystalline silicon film. In that case, the crystalline silicon film crystallized with an introduction of the catalytic element includes columnar crystals and its inside is in a single crystal state. Therefore, when the crystal grain boundary portion is processed by irradiation with an intense light, a high quality crystalline silicon film close to the single crystal
25 state which covers the entire surface of the substrate is obtained. In that way, the crystallinity of the crystalline silicon film is improved.

[0059] In addition, in one embodiment, in the method for manufacturing the semiconductor device of the first invention, the catalytic element added into the first amorphous silicon film is one or more chosen from nickel, cobalt, iron, palladium,
30 platinum, copper, and gold.

[0060] According to this embodiment, one or more catalytic element chosen from Ni, Co, Fe, Pd, Pt, Cu, and Au are added into the first amorphous silicon film. In that way, the sufficient crystallization promoting effect is obtained with very small amount.

[0061] In addition, in one embodiment, in the method for manufacturing the semiconductor device of the first invention, to the first amorphous silicon film, nickel is added as the catalytic element which promotes crystallization.

[0062] According to this embodiment, Ni which shows the highest crystallization promoting characteristic is added into the first amorphous silicon film as the catalytic element. Therefore, higher crystallization promoting effect is obtained.

[0063] In addition, in one embodiment, in the method for manufacturing the semiconductor device of the first invention, the amount of the catalytic element added into the first amorphous silicon film is equal to or more than $5 \times 10^{11} \text{ cm}^{-2}$ to equal to or less than $5 \times 10^{13} \text{ cm}^{-2}$ in measured value of total reflection X-rays fluorometry.

[0064] According to this embodiment, the amount of the catalytic element added to the first amorphous silicon film is equal to or more than $5 \times 10^{11} \text{ cm}^{-2}$. Therefore, the sufficient crystal growth is caused. In addition, the amount of the catalytic element added is equal to or less than $5 \times 10^{13} \text{ cm}^{-2}$. Therefore, the excessive catalytic element which does not contribute to the crystal growth is not precipitated, and in the gettering step afterward, sufficient gettering is performed.

[0065] In addition, a semiconductor device of a second invention is characterized by being manufactured by the manufacturing method for the semiconductor device of the first invention.

[0066] According to the above mentioned constitution, since the heat treatment is performed under the condition that the second amorphous silicon film is not completely crystallized, the defects in the second amorphous silicon film serves as the segregation site and the catalytic element moved from the crystalline silicon film is trapped. Therefore, compared to the conventional method in which the heat treatment is not performed when the second amorphous silicon film is not crystallized, high reliability is obtained, because the amount of the remaining catalytic element in the active area is largely reduced, and an abnormality of leak current of the semiconductor device at off

operation disappears.

[0067] In addition, a third invention is characterized in that in the semiconductor device being formed over a substrate having an insulating surface and using a silicon film having crystallinity as an active area, the active area includes a catalytic element which
5 promotes the crystallization and has a concentration distribution of the catalytic element to the direction of the film thickness.

[0068] According to the constitution, the crystalline silicon film as the active area includes the catalytic element which promotes the crystallization, and has the concentration distribution to the direction of the film thickness. This is a proof that the
10 catalytic element is added to the amorphous silicon film and the crystalline silicon film is obtained from the crystal growth performed by heating, and afterwards, the catalytic element is efficiently gettered to the direction of the film thickness. In other words, it means being manufactured by the method for manufacturing the semiconductor device of the first invention.

15 [0069] Therefore, high reliability is obtained, because the amount of the remaining catalytic element in the crystalline silicon film is largely reduced, and an abnormality of leak current at off operation disappears.

[0070] In addition, in one embodiment, in the semiconductor device of the third invention, the concentration distribution of the catalytic element decreases from a
20 surface opposite to that on the substrate side of the active area toward a surface on the substrate side.

[0071] According to this embodiment, gettering of the catalytic element to the direction of the film thickness is efficiently performed from the crystalline silicon film toward a gettering sink formed over this crystalline silicon film.

25 [0072] In addition, in one embodiment, in the semiconductor device of the third invention, the catalytic element forms a solid solution in silicon lattice in the active area, and is not precipitated as the silicide.

[0073] According to this embodiment, although the crystal growth of the amorphous silicon film is performed by the catalytic element, sufficient gettering is performed after
30 the crystal growth, and the amount of the remaining catalytic element in the crystalline

silicon film as the active area is largely reduced. In particular, the abnormality of the leak current at off operation caused by the catalytic element precipitated as the silicide disappears, and high reliability is obtained.

[0074] In addition, in one embodiment, in the semiconductor device of the third invention, a periphery of the surface of the active area includes argon element.

[0075] According to this embodiment, the periphery of the surface of the active area includes Ar element, which represents that the gettering sink formed on an upper layer of the active area is doped with Ar when the catalytic element is gettered. Therefore, an effective gettering with ar is performed to the active area, and the amount of the remaining catalytic element is largely reduced.

[0076] In addition, in one embodiment, in the semiconductor device of the third invention, the active area includes at least nickel element as the catalytic element.

[0077] According to this embodiment, when the crystalline silicon film as the active area is formed, Ni which shows the highest crystallization promoting characteristic is added to the amorphous silicon film for the crystal growth to be performed. As thus, the sufficient crystal growth of the active area is caused.

[0078] In addition, in one embodiment, in the semiconductor device of the third invention, an average concentration of the catalytic element in the active area is equal to or more than $1 \times 10^{15} \text{ cm}^{-3}$ and equal to or less than $1 \times 10^{17} \text{ cm}^{-3}$.

[0079] According to this embodiment, since the concentration of the catalytic element in the active area is equal to or less than $1 \times 10^{17} \text{ cm}^{-3}$, an electrical adverse effect of the catalytic element on element characteristics is not found at all.

[0080]

[Embodiment Mode of the Invention] Hereinafter, the invention is explained with the illustrated embodiment modes of the figures in detail.

<Embodiment Mode 1> In this embodiment mode, a case in which this invention is applied to a process of forming an n-type TFT over a glass substrate is explained. The TFT in the embodiment mode can not only be utilized for a driver circuit or a pixel portion of an active-matrix liquid crystal display device, but can be utilized for an element included in a thin film integrated circuit.

[0081] FIG. 1 and FIG. 2 are cross sectional views showing an outline of a manufacturing process of the TFT in the embodiment mode, and the manufacturing process of the TFT proceeds sequentially in the order of FIG. 1 (a) to FIG. 2 (g). First, as shown in FIG. 1 (a), over a glass substrate 1, a base film formed of a silicon oxide 2 having the film thickness of 300 nm to 500 nm is formed by for example a plasma CVD method. This silicon oxide film 2 is provided in order to prevent impurities from diffusing from the glass substrate 1. Next, an intrinsic (I-type) amorphous silicon film (a-Si film) 3 having a film thickness of 20 nm to 80 nm (for example 40 nm) is formed by the plasma CVD method. In the embodiment mode, a deposition is performed using a parallel plate-type plasma CVD apparatus and a silane (SiH_4) gas and an H_2 gas are used as a material gas with a substrate heating temperature of 300°C and a power density of RF (a high frequency) power of 10 mW/cm² to 200 mW/cm² (for example 80 mW/cm²).

[0082] Next, a very small amount of nickel 4 is added to the surface of a-Si film 3. This addition of the very small amount of the nickel 4 is performed such that a solution in which the nickel 4 is dissolved is held over the a-Si film 3, and the solution is spread evenly over the a-Si film 3 by a spinner and is dried. In the embodiment mode, nickel acetate is used for a solute, and water is used for a solvent, and the concentration of nickel in the solution is set to 10 ppm. When the concentration of nickel 4 which was added to the surface of the a-Si film 3 is measured by a total reflection X-ray fluorescence (TRXRF) method, it was about 7×10^{12} atoms/cm².

[0083] Moreover, this is heat-treated under the inert atmosphere such as nitrogen atmosphere. In this heat treatment, during a rise in temperature, a first step of heat treatment is performed in order to perform dehydrogenation in the a-Si film 3, and later the crystallization of the a-Si film 3 is performed by a second step of the heat treatment at even higher temperature. Specifically, an annealing treatment is performed at 450°C to 520°C for one hour to 2 hours as the first step of the heat treatment, and the annealing treatment at 520°C to 570°C for 2 hours to 8 hours as the second step of the heat treatment. In the embodiment mode, as one example, the first step of the heat treatment is performed at 500°C for one hour, and afterwards the second step of the heat

treatment is performed at 550°C for 4 hours. By this heat treatment, the nickel 4 which is added to the surface of the a-Si film 3 diffuses into the a-Si film 3 and a silicification happens. And, with nickel 4 as a nucleus the crystallization of the a-Si film 3 progresses. As a result, as shown in FIG. 1 (b), the a-Si film is crystallized and becomes a crystalline silicon film 3a.

[0084] Next, as shown in FIG. 1 (b), by irradiating with laser light 5, the crystalline silicon film 3a is recrystallized to improve its crystallinity. For the laser light 5 of this case, a XeCl excimer laser (wavelength: 308 nm, pulse width: 40 nsec) was used. An irradiation condition of laser light was that a semiconductor layered product was heated to 200°C to 450°C (for example, 400°C) at the time of irradiation, and it was irradiated at the energy concentration of 250 mJ/cm² to 450 mJ/cm² (for example, 350mJ/cm²). The laser light is shaped into an elongated shape with a beam size of 150 mm × 1 mm over the surface of the glass substrate 1, and a scanning is performed sequentially with a step width of 0.05 mm along perpendicular direction to the elongated direction. In other words, at arbitrary one point of the crystalline silicon film 3a, 20 times of laser irradiation in total is performed. In this way, the crystalline silicon film 3a which is obtained by the solid-phase crystallization becomes a crystalline silicon film 3b of higher quality, because the crystal defect is reduced by a melting and solidification process by the laser irradiation.

[0085] Next, as shown in FIG. 1 (c), by performing thin film oxidation to the surface of the crystalline silicon film 3b, a silicon oxide film 6 which serves as an etching stopper is formed. The formation of the silicon oxide film 6 is performed by holding ozone water on the surface of the crystalline silicon film 3b. In that case, the concentration of ozone in the ozone water is preferably equal to or more than 5 mg/l, and in the embodiment mode, is set to 8 mg/l. The maintenance time of the ozone water over the surface of the crystalline silicon film 3b is one minute. When forming a denser silicon oxide film 6, before the ozone water treatment, it is preferable that a naturally oxidized film over the surface of the crystalline silicon film 3b is removed, and in the case of the embodiment, before the ozone water treatment, a hydrofluoric acid washing is performed to expose an active surface of the silicon film, and the treatment by the ozone

water is performed. The film thickness of the silicon oxide film 6 formed as such is measured by the spectro-ellipsometry and is about 30 Å.

[0086] Next, so as to cover the silicon oxide film 6, two layers, an a-Si film 7 which is non-doped (intrinsic) and an a-Si film 8 which includes phosphorous, are formed by the plasma CVD method. In the embodiment mode, by using a multi-chamber plasma CVD apparatus, the two layers 7 and 8 are formed consecutively without being exposed to atmosphere. In this case, the lower a-Si film 7 has, in addition to being the gettering sink for the nickel 4, a role as a buffer layer preventing diffusion and pollution of phosphorus from the a-Si film 8 of an upper layer which includes phosphorous to the active layer of the silicon film 3b. When forming the a-Si film 7, the substrate heating temperature is 350°C, and a SiH₄ gas and an H₂ are used as a material gas. On the other hand, when forming the a-Si film 8 which includes phosphorus, SiH₄ and phosphine (PH₃) are used as material gas. In doing so, the concentration of phosphorus in the a-Si film 8 can be changed by the flow rate of phosphine gas voluntarily. In the embodiment mode, the flow rate of PH₃/SiH₄ was 3/100. The concentration of phosphorus in the a-Si film 8 at this time is about 1%.

[0087] In addition, in this state, heat-treatment is performed under the inert atmosphere such as nitrogen atmosphere. The treatment temperature and the treatment time of this case are 450°C to 550°C for 5 minutes to 4 hours, more preferably 480°C to 520°C for 10 minutes to 2 hours. In addition, the rate of the temperature increase to the treatment temperature and the rate of the temperature decrease from the processing temperature is preferable to be at least equal to or more than 5°C/minute. In the embodiment mode, an one hour treatment is performed at a heating temperature of 500°C. In doing so, the temperature is increased to 500°C in 30 minutes (at the rate of the temperature increase of 10°C/minute) from the state in which the substrate is pre-heated at approximately 200°C, and after the treatment, the temperature is decreased from 500°C to 200°C in 30 minutes in the same manner.

[0088] In this heat treatment, the crystal nucleation does not occur in the second amorphous silicon films 7 and 8 which serve as the gettering sink and the films are kept in a state of being not crystallized at all (amorphous state). Therefore, the gettering

effect is obtained to the maximum extent possible. In addition, in the embodiment mode, a non-annealed Corning Code 1737 glass substrate having the thickness of 0.7 mm with 320 mm × 400 mm is used for the glass substrate 1, and warpage, bending, crack, and the like of course did not occur due to this heat treatment. Moreover, it is confirmed that with the heat treatment such as in the embodiment mode, even a meter-sized large glass substrate can be used without problem.

[0089] In the embodiment mode, the heat treatment is performed, using a furnace wherein the substrate surface is faced to the direction of a furnace core in a furnace core tube 91 having a cross-sectional shape approximately similar to a plane shape of the substrate, and the furnace core tube 91 and the substrate are placed as to minimize the space between them as shown in FIG. 10. The furnace core tube 91 is formed with a section having a slightly larger rectangular shape than the size of the substrate 1 of 320 mm × 400 mm, and its internal size is 400 mm × 480 mm. The charge number of substrates 92 is 20, and 20 substrates 92 are simultaneously processed. In addition, a nitrogen gas is supplied from the upper position of the furnace core tube 91, and diffused among the substrate 92, and each substrate 92 can be heated equally in a plane.

[0090] In FIG. 10, the quartz tube (furnace core tube) 91 is heated at 500°C, and in a home position 95 under the tube 91, a boat 93 charged with the substrates 92 is pre-heated to 200°C. Then, as shown by an arrow (A), the temperature is increased as the boat 93 goes into the tube 91, and the heat treatment of the substrates 92 starts when the whole body of the boat 93 is entirely in an annealing zone 96. The temperature decrease, in contrast, is performed by bringing down the boat 93 to the home position 95 which is a pre-heating zone.

[0091] By using such a furnace, a fast rate of the temperature decrease can be achieved, and the temperature distribution in the substrate can be generally kept constant. Therefore, even as to the meter-sized large glass substrate, a stable treatment without crack nor distortion can be achieved.

[0092] By the heat treatment such as the above mentioned, the a-Si film 7 and the a-Si film 8 including phosphorus are not crystallized at all, and their defects become the segregation trap for nickel, and the nickel 4 in the crystalline silicon film 3b of the

lower layer is, as shown in FIG. 1 (d) by an arrow 9, drawn to the upward direction. In doing so, in the a-Si film 8 which includes phosphorus, with the addition of the gettering effect of nickel by phosphorus as well, functions as a stronger gettering sink. At this time, the nickel 4 is moved through the thin silicon oxide film 6, and the silicon
5 oxide film 6 having the film thickness as in the embodiment mode does not become an obstacle for such transfer.

[0093] As a result, most of the nickel 4 in the crystalline silicon film 3b is moved to the a-Si film 7 and the a-Si film 8 which includes phosphorus of the upper layers, and the concentration of nickel in these films 7 and 8 is increased. In contrary, the
10 concentration of the nickel in the crystalline silicon film 3b of the lower layer is largely decreased, and a high quality crystalline silicon film 3c in which the concentration of nickel is low is obtained. In the above-described heat treatment of 500°C for one hour, the concentration of nickel in the crystalline silicon film 3c and the concentration of
15 nickel in the a-Si film 7 and the a-Si film 8 which includes phosphorus of the upper layers that are the gettering sink are in the thermal equilibrium state in the segregation state. In other words, it is the state wherein the transfer of the nickel 4 no longer occurs even if the processing time is extended further more.

[0094] In this state, the actual concentration of nickel in the crystalline silicon film 3c was measured by secondary ion mass spectrometry (SIMS), and it was reduced to
20 approximately 5×10^{16} atoms/cm³. Incidentally, the concentration of nickel, by the conventional method in which the heat treatment that does not crystallize the a-Si films 7 and 8 of the gettering sink is not performed as in the embodiment mode, is in the order of 2×10^{17} atoms/cm³. In addition, the concentration of nickel in the crystalline silicon film 3b before the step of this heat treatment is approximately 1×10^{18} atoms/cm³, the
25 amount of the remaining nickel can be reduced to approximately 1/20 (1/4 of the conventional method). In addition, the nickel 4 remaining in the crystalline silicon film 3c at this stage is not in the silicide state, but exists in the solid solution state; therefore it does not become a problem to the electrical characteristics of the TFT.

[0095] Next, the a-Si film 7 and the a-Si film 8 which include phosphorus which have
30 higher concentration of nickel because the nickel 4 is getterred as mentioned above, are

removed by overall etching. In that case of the etching, an etchant which has a sufficient etching selecting ratio with respect to a silicon oxide film is used in order for the silicon oxide film 6 of the lower layer to function sufficiently as the etching stopper. In the embodiment mode, a strong alkaline solution such as a developing solution is
5 used. And, after the a-Si films 7 and 8 are removed, the silicon oxide film 6 is removed by etching. As the etchant of that case, 1 : 10 buffered hydrogen fluoride (BHF) which has a sufficient selectivity with the silicon film 3c of the lower layer was used, and a wet etching was performed.

[0096] After that, an unnecessary part of the crystalline silicon film 3c is removed and a
10 separation between elements is performed. In other words, a crystalline silicon film 10 in an island shape which serves as the active area (source and drain region and a channel area) of the TFT later is formed as shown in FIG 2 (e) by this step.

[0097] Next, as shown in FIG 2 (f), a silicon oxide film having a thickness of 20 nm to 150 nm (here 100 nm) is formed as a gate insulating film 11 covering the crystalline
15 silicon film 10 which serves as the active area. The formation of the silicon oxide film is performed by RF plasma CVD method to decompose and deposit with oxygen at a substrate temperature of 150°C to 600°C (preferably 300°C to 450°C) TEOS (Tetra Ethoxy Ortho Silicate) that is a raw material. Alternatively, with the TEOS as the raw material, forming with an ozone gas by low pressure CVD method or normal pressure
20 CVD method at the substrate temperature of 350°C to 600°C (preferably 400°C to 550°C) is not a problem. After the formation of the gate insulating film 11, in order to improve a bulk characteristic of the gate insulating film 11 itself and interface characteristic of the crystalline silicon film/gate insulating film, the annealing is performed under inert atmosphere at 500°C to 600°C for one to 4 hours.

[0098] Continuously, a film of aluminum having a thickness of 40 nm to 800 nm (for
25 example 600 nm) is formed by sputtering method. Then, by patterning the aluminum film, a gate electrode 12 is formed. In addition, a surface of this electrode of aluminum is anodized to form an oxide layer 13 on the surface. This state is equivalent to FIG 2 (f). In addition, when the TFT is a pixel TFT of the active matrix
30 substrate, the gate electrode 12, planarly forms a gate bus line simultaneously. The

anodization is performed in an ethylene glycol solution in which tartaric acid of 1% to 5% is included, and first the voltage is increased to 220 V at a certain current, and that state is held for 1 hour and it is terminated. The thickness of the oxide layer 13 which is obtained is 200 nm. In addition, this oxide layer 13, in a subsequent ion doping process, becomes thick as to form an offset gate area; therefore the length of the offset gate area can be determined by the anodization step.

[0099] Next, by an ion doping method, with the use of the gate electrode 12 and its peripheral oxide layer 13 as the mask, the impurity (phosphorus) is implanted to the active area. Phosphine (PH_3) is used as a doping gas, the acceleration voltage is 60 kV to 90 kV (for example 80 kV), and a dose is $1 \times 10^{15} \text{ cm}^{-2}$ to $8 \times 10^{15} \text{ cm}^{-2}$ (for example $2 \times 10^{15} \text{ cm}^{-2}$). By this step, an area 14 and an area 15 in which the impurity is implanted later become the source and drain area of the TFT, and an area 16 which is masked by the gate electrode 12 and its peripheral oxide layer 13 and in which the impurity is not implanted later become a channel area of the TFT.

[0100] After that, as shown in FIG. 2 (f), annealing is performed by irradiation with a laser light 17 to activate the ion-implanted impurity, and at the same time, the crystallinity of a part in which the crystallinity is deteriorated by the step of introducing the impurity is improved. In doing so, for a laser to be used, an XeCl excimer laser (wavelength 308 nm, pulse width 40 nsec) is used, and irradiation is performed at an energy density of 150 mJ/cm^2 to 400 mJ/cm^2 (preferably 200 mJ/cm^2 to 250 mJ/cm^2). A sheet resistance of the n-type impurity (phosphorus) areas 14 and 15 that are formed as such is $200 \Omega/\square$ to $500 \Omega/\square$.

[0101] Continuously, as shown in FIG. 2 (g), an interlayer insulating film 18 such as a silicon oxide film or the silicon nitride film having the thickness of approximately 600 nm is formed. In addition, in the case of using the silicon oxide film, the excellent interlayer insulating film superior in step coverage is obtained, if formed with the use of TEOS as the raw material by the plasma CVD method with the TEOS and oxygen the low pressure CVD method or the normal pressure method with ozone. In addition, if the silicon nitride film formed by the plasma CVD method using SiH_4 and NH_3 as the material gas is used, there is an effect to supply the hydrogen atoms to the interface of

the active area/the gate insulating film and to reduce dangling bonds which deteriorate TFT characteristics.

[0102] Next, a contact hole is formed in the interlayer insulating film 18, and source electrode/wiring 19 of the TFT is formed with a metal material (for example, two-layer
5 film of titanium nitride and aluminum). The titanium nitride film is provided as a barrier thin film to prevent aluminum from diffusing to the semiconductor layer. When a TFT 21 is used as the pixel TFT, since it is an element to switch the pixel electrode, a pixel electrode 20 formed of a transparent conductive film such as ITO (indium tin oxide) is provided as the other drain electrode. In this case, the source
10 electrode/wiring 19 forms a part of the gate bus line. And a video signal is supplied through this source bus line, and the electric charge that is necessary is written to the pixel electrode 20 based on and the gate signal through the gate bus line the gate electrode 12. And finally, under the nitrogen atmosphere of one atmospheric pressure, annealing is performed at 350°C for one hour, and the TFT 21 shown in FIG 2 (g) is
15 completed. Moreover, if necessary, in order to protect the TFT 21, a protective film that is formed of a silicon nitride film or the like is provided over the TFT 21.

[0103] Although the TFT which is manufactured according to the embodiment mode, has very high performance such as a field effect mobility of approximately $250 \text{ cm}^2/\text{Vs}$ and a threshold voltage of approximately 1.5 V, there is absolutely no abnormal increase
20 of the leak current at the off operation of the TFT that is often seen in the conventional TFT manufactured using the catalytic element, and a very low value equal to or less than 1 pA per unit W is stably shown. This value of the leak current is not inferior at all to the conventional TFT manufactured without the catalytic element, and the manufacturing yield can be largely improved.

[0104] In addition, reliability is very high compared to the conventional TFT, since the
25 characteristics deterioration of the TFT is hardly seen even after a repetitive measurement, and a durability test by thermal stress and bias. And, when an active matrix substrate for the liquid crystal display manufactured based on the embodiment mode is actually turned on and evaluated, display unevenness is clearly little compared
30 to one which uses the conventional TFT that is manufactured with the catalytic element,

pixel defects caused by a TFT leak are also extremely few, and a liquid crystal panel of high display quality and high contrast ratio can be obtained.

[0105] As mentioned above, in the embodiment mode, the a-Si film 3 is formed over the glass substrate 1, and nickel 4 of about 7×10^{12} atoms/cm² is added onto the surface of the a-Si film 3. In addition, under inert atmosphere, during the temperature increase, the first step of the heat treatment in which the dehydrogenation of the Si film 3 is performed, and the crystallization of the amorphous silicon film is performed by the second step of the heat treatment which is with higher temperature, and the crystalline silicon film 3a is obtained.

[0106] Subsequently, irradiating with the laser light 5 to reduce the crystal defect by melting and solidifying the crystalline silicon film 3a obtained by solid-phase crystallization, and changing it to the crystalline silicon film 3b of higher quality. In addition, the non-doped a-Si film 7 and the a-Si film 8 which includes phosphorus are formed, and the heat treatment is performed under inert atmosphere at a temperature of 450°C to 550°C for 5 minutes to 4 hours at the rates of temperature increase and decrease of equal to or more than 5°C/minute. By this heat treatment, the crystal nucleation does not occur in the second amorphous silicon films 7 and 8, and they are kept in completely non-crystallized state (amorphous state). Therefore, the gettering effect is obtained to the maximum extent possible.

[0107] By such heat treatment, the a-Si film 7 and the a-Si film 8 which includes phosphorus is not crystallized at all, and their defects become the segregation trap for nickel, and the nickel 4 in the crystalline silicon film 3b of the lower layer is drawn to the upward direction. In so doing, the a-Si film 8 which includes phosphorus, with the addition of the gettering effect of nickel by phosphorus, functions as a stronger gettering sink.

[0108] Therefore, according to the embodiment mode, most of the nickel 4 in the crystalline silicon film 3b is moved to the a-Si film 7 and the a-Si film which includes phosphorus of the upper layer, and the concentration of nickel in the crystalline silicon film 3b of the lower layer is largely reduced, and the crystalline silicon film 3c of higher quality with a low concentration of nickel is obtained. In other words, the

concentration of the remaining nickel can be reduced to approximately 1/4 of the conventional method which does not perform the heat treatment that does not crystallize the gettering sink.

[0109] In addition, the manufacturing process of the TFT according to the embodiment mode is for the pixel electrode of the active matrix substrate. However, the method for manufacturing the semiconductor device can be easily applied to the thin film integrated circuit and the like, and in that case, the contact hole is formed over the gate electrode 12, and wiring that is necessary is provided.

[0110] <Embodiment Mode 2> In this embodiment mode, the case in which the invention is applied to the process of manufacturing a CMOS (complementary metal-oxide semiconductor) structure TFT which is complementarily structured with n-type TFT and p-type TFT that configures the peripheral driver circuit of the active matrix type liquid crystal display device and the general thin film integrated circuit over the glass substrate is explained.

[0111] FIG. 3 and FIG. 4 are the cross sectional views showing the abstract of the manufacturing process of the TFT concerning the embodiment mode, and the manufacturing process progresses accordingly with the order of FIG. 3 (a) to FIG. 4 (g). First, as shown in FIG. 3 (a), for example, the base film which includes a silicon oxide 32 having the thickness of 300 nm to 500 nm is formed over a glass substrate 31. This silicon oxide film 32 is provided to prevent the impurities from diffusing from the glass substrate 31 by for example, sputtering method. Second, an intrinsic (I-type) a-Si film 33 having a film thickness of 20 nm to 80 nm (for example 40nm) is formed by the plasma CVD method. In the embodiment mode, the deposition is performed using the parallel plate-type plasma CVD apparatus and SiH₄ gas and H₂ gas as a material gas and the heating temperature of 300°C and the power density of RF power of 10 mW/cm² to 200mW/cm² (for example 80 mW/cm²).

[0112] Subsequently, addition of a very small amount of a nickel 34 is performed over the a-Si film 33. This addition of the very small amount of nickel 34 is performed by maintaining the solution in which the nickel 34 is dissolved over the a-Si film 33, and spreading the solution uniformly over the a-Si film 33 by the spinner and drying it. In

the embodiment mode, acetic acid nickel is used for dissolved substance, ethanol is used for a solvent, and the concentration of nickel in the solution is set to 1 ppm. In this way, the concentration of the nickel 34 which is added over the surface of the a-Si film 33 is measured by the TRXRF method, and is approximately 5×10^{12} atoms/cm².

5 [0113] In addition, this is heat-treated under inert atmosphere such as nickel atmosphere. In this heat treatment, it is desirable that the annealing treatment of 520°C to 570°C for 2 hours to 8 hours is performed. In the embodiment mode, as one example, a heat treatment was performed at 550°C for 4 hours. By this heat treatment, the silicification of the nickel 34 which is added over the surface of the a-Si film 33 occurs.

10 And with the nickel 34 as the nucleus the crystallization of the a-Si film 33 progresses. As a result, as shown in FIG. 3 (b), the a-Si film 33a is crystallized to be a crystalline silicon film 33b.

[0114] However, with the amount of the nickel 34 added, the amount of the catalytic element is not sufficient to totally crystallize the a-Si film 33, and the crystal growth

15 stops in a state in which partly a minute (around several μm) amorphous area remains. When the heating temperature of the heat treatment is equal to or less than 570°C, the crystallization of the silicon film itself is not generated, and an uncrystallized area which remains as the a-Si. As a result, the crystalline silicon film 33a which is obtained after the heat treatment at 550°C for 4 hours according to this embodiment

20 mode is in the state in which the minute amorphous domain is mixed in the crystallized domain.

[0115] Subsequently, as shown in FIG. 3 (b), by irradiating with a laser light 35, the crystalline silicon film 33a is further crystallized, and a crystalline silicon film 33b is obtained. For the laser light 35 at this time, a XeCl excimer laser (wave length: 308 nm,

25 pulse width: 40 nsec) was used. An irradiation condition of the laser light was that a semiconductor layered product was heated to 200°C to 450°C (for example, 400°C) at the time of irradiation, and it was irradiated at the energy concentration of 200 mJ/cm² to 450 mJ/cm² (for example, 350 mJ/cm²). The beam size is shaped in an elongated shape of 150 mm \times 1 mm over the surface of the glass substrate 31, and a scanning is

30 performed sequentially with a step width of 0.05 mm along perpendicular direction to

the elongated direction. In other words, at arbitrary one point of the crystalline silicon film 33a, 20 times of laser irradiation in total is performed 20 times of laser irradiation in total is performed. By this laser irradiation, the amorphous area remaining in the crystallized area melts with preferentially, and the entire film is crystallized reflecting
5 only a good crystal component of the crystallized area.

[0116] Subsequently, as shown in FIG. 3 (c), by thin film oxidizing the surface of the crystalline silicon film 33b, a silicon oxide film 36 which becomes the etching stopper is formed. Forming of the silicon oxide film 36 is performed by irradiating an excimer UV light to the surface of the crystalline silicon film 33b. The processing time of that
10 case is about 1 minute. The film thickness of the silicon oxide film 36 is measured by the spectro-ellipsometry and is about 30 Å.

[0117] Subsequently, so as to cover the silicon oxide film 36, an a-Si film 37 which includes phosphorus and boron is formed by the plasma CVD method. Formation of the a-Si film 37 which includes phosphorus and boron, in the embodiment mode, is
15 performed by using the parallel plate-type CVD apparatus, and using SiH_4 , PH_3 , and diborane (B_2H_6) as material gas at a heating temperature of 350°C. In so doing, the concentrations of phosphorus and boron in the a-Si film 37 can be changed by the flow rate of these three kinds of gases voluntarily. In the embodiment mode, the flow rate of $\text{PH}_3/\text{B}_2\text{H}_6/\text{SiH}_4$ is set to 3/1/100. The concentration of phosphorus in the a-Si film
20 37 is about 10%, and the concentration of boron is about 0.5%.

[0118] And, in this state, in inert atmosphere such as nickel atmosphere, the heat treatment is performed. The treatment temperature and the treatment time of this case are: 450°C to 550°C for 5 minutes to 4 hours, more preferably 480°C to 520°C for 10 minutes to 2 hours. In addition, the rate of the temperature increase to the treatment
25 temperature and the rate of the temperature decrease from the treatment temperature is preferably performed at least at equal to or more than 5°C/minute. In the embodiment mode, the treatment at a heating temperature of 500°C for 1 hour was performed. In so doing, the temperature is increased to 500°C in 30 minutes (the rate of the temperature increase of 10°C/minute) from the state in which the substrate is pre-heated
30 at approximately 200°C, and after the treatment, the temperature is decreased from

500°C to 200°C in 30 minutes in the same manner.

[0119] In this heat treatment, the crystal nucleation does not occur in the a-Si film 37 which includes phosphorus and boron which serve as the gettering sink, and which is kept in a completely non-crystallized state (amorphous state). Therefore, the gettering effect can be obtained to the maximum extent. In addition, in the embodiment mode, the non-annealed Corning Code 1737 glass substrate having the thickness of 0.7 mm with 320 mm × 400 mm is used for the glass substrate 31, and warpage, bending, crack, and the like of course did not occur due to this heat treatment. Moreover, it is confirmed that with the heat treatment such as in the embodiment mode, even a meter-sized large substrate can be used without problem. In the case of the embodiment mode, the heat treatment is performed by using the furnace as shown in FIG. 10 which is explained in the embodiment mode 1.

[0120] By the heat treatment such as above mentioned, the a-Si film 37 which includes phosphorus and boron is not crystallized at all, and its defect becomes the segregation trap for nickel, and the nickel 34 in the crystalline silicon film 33b of the lower layer is, as shown in FIG. 3 (c) by an arrow 38, drawn to the upward direction. In doing so, the gettering effect is improved very much, and the a-Si film 37 functions as a stronger gettering sink. At this time, the nickel 34 is moved through the silicon oxide film 36 of the thin film, and the silicon oxide film 36 having the film thickness as in the embodiment mode does not become the obstacle for such transfer.

[0121] As a result, most of the nickel 34 in the crystalline silicon film 33b is moved to the a-Si film 37 which includes phosphorus and boron of the upper layer and the concentration of the a-Si film 37 is increased. In contrary, the concentration of nickel in the crystalline silicon film 33b of the lower layer is largely decreased, and a high quality crystalline silicon film 33c in which the concentration of nickel is low is obtained. In the above described heat treatment of 500°C for one hour, the concentration of nickel in the crystalline silicon film 33c and the concentration of nickel in the a-Si film 37 of the upper layer that is the gettering sink which includes phosphorus and boron are in the segregation state of the thermal equilibrium. In other words, it is the state wherein the transfer of the nickel 34 no longer occurs even if the

processing time is extended further more.

[0122] In this state of the concentration of nickel in the actual crystalline silicon film 33c was measured by SIMS, and it was reduced to approximately 4×10^{16} atoms/cm³. Incidentally, the concentration of nickel, by the conventional method in which the heat treatment that does not crystallize the a-Si film 37 of the gettering sink is not performed
5 as in the embodiment mode, is in the order of 2×10^{17} atoms/cm³. In addition, the concentration of nickel in the crystalline silicon film 33b before this heat treatment is 1×10^{18} atoms/cm³, the remaining nickel can be reduced to approximately 1/25 (1/5 of the conventional method). In addition, the nickel 34 remaining in the crystalline silicon
10 film 33c at this stage is not in the silicide state, but exists in the solid solution state; therefore does not become a problem to the electrical characteristics of the TFT.

[0123] Next, as mentioned above, the a-Si film 37 which includes phosphorus and boron that have higher concentration of nickel because the nickel 34 has been getterred is removed by an overall etching. In that case of the etching, silicon oxide and an
15 etchant which has sufficient etching selectivity ratio are used in order for the silicon oxide film 36 of the lower layer to function sufficiently as the etching stopper. In the embodiment, a strong alkaline solution such as developing solution is used. And, after the a-Si film 37 is removed, the silicon oxide film 36 is removed by etching. As that case of etchant, 1 : 10 BHF which has a sufficient selectiveness with the silicon film 33c
20 of the lower layer is used, and a wet etching was performed.

[0124] After that, as shown in FIG. 3 (d), by using the crystalline silicon film 33c, the area other than what later become the active areas (element areas) 39n and 39p of the TFT to perform the separation between elements is removed.

[0125] Next, as shown in FIG. 4 (e), the silicon oxide film having a thickness of 20 nm
25 to 150 nm (here 100 nm) is formed as a gate insulating film 40 covering the crystalline silicon films 39n and 39p which serve as the active areas. The formation of the silicon oxide film is performed by RF plasma CVD method to decompose and accumulate with oxygen at the substrate temperature of 150°C to 600°C (preferably 300°C to 450°C) with TEOS as a raw material.

30 [0126] Subsequently, a high melting point metal is deposited by sputtering method, and

this is patterned to form gate electrodes 41n and 41p. As the high melting point metal at this time, tantalum (Ta) or tungsten (W) is desirable. In the embodiment mode, Ta to which a very small amount of nitrogen is added is used, and the thickness is set to 300 nm to 600 nm (for example 450 nm).

5 [0127] Next, by an ion doping method, with the gate electrodes 41n and 41p as the masks, the phosphorus 42 is implanted to the active areas 39n and 39p. Phosphine (PH_3) is used as doping gas, the acceleration voltage is 60 kV to 90 kV (for example 80 kV), and a dose is $2 \times 10^{15} \text{ cm}^{-2}$ to $8 \times 10^{15} \text{ cm}^{-2}$ (for example $5 \times 10^{15} \text{ cm}^{-2}$). By this step, n-type impurity areas 43n and 44n of the n-channel-type TFT are formed. In
10 addition, an area 45n into which the impurity are not implanted for being masked by the gate electrode 41n becomes the channel area of the n-channel-type TFT. On the other hand, source and drain areas 43n' and 44n' of the p-channel-TFT are, at this stage, n-type impurity areas as the result of being doped with phosphorus.

[0128] Subsequently, as shown in FIG. 4 (f), by a photolithography step, a mask 46
15 which is for selective doping is formed of a photoresist over the n-channel-type TFT. In addition, in this state, using the gate electrode 41p as the mask, boron 47 is selectively implanted only to the p-channel-type TFT side. In that case, B_2H_6 is used as a doping gas, the acceleration voltage is 40 kV to 80 kV (for example 65 kV), and a dose is $1 \times 10^{16} \text{ cm}^{-2}$ to $5 \times 10^{16} \text{ cm}^{-2}$ (for example $2 \times 10^{16} \text{ cm}^{-2}$) which is a high dose.
20 By this step, in the areas 43n' and 44n' doped with the boron 47 of the p-channel-type TFT, phosphorus which is the n-type impurity and doped earlier is canceled, and a conductivity is reversed by the excessive boron 47 and p-type impurity areas 43p and 44p are formed, which is the so-called counter doping. In addition, the area 45p where the boron 47 is not implanted for the gate electrode 41p masking later becomes the
25 channel area of the p-channel-type TFT. In this manner, each of n-channel-type TFT and p-channel-type TFT is formed respectively.

[0129] And, after removing the photo-resist 46 which is used as the mask for selective doping, for example, the heat treatment is performed in inert atmosphere such as nitrogen atmosphere. In the embodiment mode, in nitrogen atmosphere, the heat
30 treatment is performed at a temperature of 600°C for 4 hours. By this heat treatment,

the activation of the source and drain areas 43a, 44n, 43p, and 44p. The sheet resistance of the n-type impurity areas 43n and 44n which are obtained in this manner is $0.4\text{k}\Omega/\square$ to $0.8\text{k}\Omega/\square$, and the sheet resistance of the p-type impurity 43p and 44p which are obtained in this manner is $1\text{k}\Omega/\square$ to $2\text{k}\Omega/\square$. In addition, a baking treatment of the gate insulating film 40 is performed at the same time, and the bulk characteristic of the gate insulating film itself and the interface characteristic of the crystalline silicon film/gate insulating film are achieved.

[0130] Moreover, by the heat treatment step, phosphorus doped in the source and drain areas 43n, 44n, 43p, 44p moves the nickel 34 remaining in the channel areas 45n and 45p to the adjacent source and drain areas 43n, 44n, 43p, and 44p. In other words, gettering focusing on the channel areas 45n and 45p can be added again, and together with the former gettering, complete gettering with two steps can be performed. In addition, the above described heat treatment step can be performed by a rapid thermal anneal treatment. In that case, as to the activation of the source and drain area and the gettering effect of the channel area, better results can be obtained.

[0131] Subsequently, as shown in FIG. 4 (g), a silicon oxide film having a thickness of about 90 nm is formed as an interlayer insulating film 48 by the plasma CVD method, in which contact holes are formed, and an electrode and wiring 49 of the TFT is formed with metal materials (for example, two-layer film of titanium nitride and aluminum). And finally, under the nitrogen atmosphere of one atmospheric pressure, annealing is performed at 350°C for one hour, and an n-channel-type TFT 50 and a p-channel-type TFT 51 are completed. In addition, if necessary, a contact hole is provided over the gate electrode 4n and 41p of the TFT 50 and 51 without problem. Moreover, in order to protect the TFTs 50 and 51, a protective film that is formed of the silicon nitride and the like is provided over the TFTs 50 and 51.

[0132] The CMOS structure TFT which is manufactured according to the embodiment mode shows very favorable characteristics, in which electric field effect mobility of each TFT is high: approximately $200\text{ cm}^2/\text{Vs}$ to $250\text{ cm}^2/\text{Vs}$ for the n-type TFT 50 and $100\text{ cm}^2/\text{Vs}$ to $130\text{ cm}^2/\text{Vs}$ for the P-type TFT 51, and the threshold voltage is approximately 1.5 V for the n-type TFT 50 and approximately -2 V for the p-type TFT

51. In addition, there is absolutely no abnormal increase of the leak current at the off operation of the TFT that is often seen in the conventional TFT which is manufactured using the catalytic element, and a very low leak current value equal to or less than 1 pA per unit W, is stably shown. This value of the leak current is not inferior at all to the
5 conventional TFT manufactured without the catalytic element, and the manufacturing yield can be largely improved.

[0133] In addition, reliability is very high compared to the conventional TFT, since the characteristics deterioration of the TFT is hardly seen even after a repetitive measurement, and a durability test by thermal stress and bias.

10 [0134] As mentioned above, in the embodiment mode, the a-Si film 33 is formed over the glass substrate 31, and nickel of about 5×10^{12} atoms/cm² is added over the surface of the a-Si film 33. In addition, under inert atmosphere, the crystallization of the a-Si film 33 is performed by the heat treatment at 520°C to 570°C for 2 hours to 8 hours, and the crystalline silicon film 33a in which very small amorphous silicon area is mixed is
15 obtained.

[0135] Subsequently, irradiating the remaining amorphous area with the laser light 35 preferentially and crystallize the entire film to change it to the crystalline silicon film 33b. In addition, the a-Si film 37 which includes phosphorus and boron is formed, and a heat treatment under inert atmosphere at a temperature of 450°C to 550°C for 5
20 minutes to 4 hours is performed at a rate of temperature increase and decrease of equal to or more than 5°C/minute. By this heat treatment, the crystal nucleation does not occur in the a-Si film 37 which includes phosphorus and boron and is kept in a non-crystallized state (amorphous state). Therefore, the gettering effect can be obtained to the maximum extent.

25 [0136] By such heat treatment, the a-Si film 37 which includes phosphorus and boron is not crystallized at all, and their defects become the segregation trap for nickel, and the nickel 34 in the crystalline silicon film 33b of the lower layer is drawn to the upward direction. In so doing, the a-Si film 37 which includes phosphorus and boron, with the addition of the gettering effect of nickel by phosphorus as well, functions as a stronger
30 gettering sink.

[0137] In other words, in the embodiment, in the same manner as the embodiment mode 1, the remaining nickel concentration can be reduced to the 1/5 of the conventional method which does not crystallize the gettering sink and does not perform the heat treatment.

5 [0138] In addition, after the TFT 50 and 51 are formed using the crystalline silicon film 33c after the gettering is performed, under inert atmosphere, the heat treatment of 600°C for 4 hours is performed. As thus, the gettering is performed once again to the nickel 34 remaining in the channel areas 45n and 45p, and together with the former gettering, a complete gettering with two steps can be performed.

10 [0139] <Embodiment Mode 3> In this embodiment mode, a case in which this invention is applied to a process of forming an n-type TFT over a glass substrate is explained. TFT in the embodiment mode, in a similar manner with the first embodiment, can not only be utilized for a driver circuit and the pixel part of the active matrix type liquid crystal display device, but can be utilized for an element forming a thin film integrated
15 circuit.

[0140] FIG. 5 and FIG. 6 are cross sectional views showing the abstracts of a manufacturing process of this TFT in the embodiment mode, and the manufacturing process of the TFT proceeds accordingly with the order of FIG. 5 (a) to FIG. 6 (g). First, as shown in FIG. 5 (a), over a glass substrate 61, a base film formed of a silicon
20 oxide 62 having a film thickness of 300 nm to 500 nm is formed for example, by the plasma CVD method. Next, a genuine (I-type) amorphous silicon film (a-Si film) 63 having a film thickness of 20 nm to 80 nm (for example 40 nm) is formed by the plasma CVD method.

[0141] Next, a very small amount of addition of a nickel 64 is performed over the
25 surface of the a-Si film 63. This addition of the very small amount of the nickel 64 is performed as such that a solution in which the nickel 4 is dissolved is held over the Si film 63, and the solution is spread evenly by a spinner and is dried. In the embodiment mode, nickel acetate is used for a solute, and water is used for a solvent, and the concentration of the nickel is set to 10 ppm. When the concentration of nickel 64
30 which is added over the surface of the a-Si film is measured by TRXRF method, it was

about 7×10^{12} atoms/cm².

[0142] Moreover, for example, this is heat-treated under an inert atmosphere such as nitrogen atmosphere. In this heat treatment, annealing is performed at the heating temperature of 520°C to 570°C for 2 hours to 8 hours, for example, the annealing
5 treatment is performed at 550°C for 4 hours. By this heat treatment, the a-Si film 63 is crystallized by the nickel 64 which is added to the surface of the a-Si film 63, and as shown in FIG. 5 (b), becomes a crystalline silicon film 63a.

[0143] Next, as shown in FIG. 5 (b), by irradiating with laser light 65, the crystalline silicon film 63a is recrystallized and is improved its crystallinity. For the laser light 65
10 of this case, XeCl excimer laser (wavelength 308 nm, pulse width 40 nsec) was used. An irradiation condition of the laser light 65 is that a semiconductor layered product is heated to 200°C to 450°C (for example, 400°C) at the time of irradiation, and it was irradiated at the energy density of 250 mJ/cm² to 450 mJ/cm² (for example, 350 mJ/cm²). In this way, the crystalline silicon film 63a which is obtained by the solid-phase
15 crystallization becomes a crystalline silicon film 63b of higher quality, because the crystal defect is reduced by a melting and solidification process by the laser irradiation.

[0144] Next, as shown in FIG. 5 (c), by performing a thin film oxidation over the surface of the crystalline silicon film 63b, a silicon oxide film 66 which becomes an etching stopper is formed. The formation of the silicon oxide film 66 is performed by
20 holding ozone water on the surface of the crystalline silicon film 63b. The film thickness of the silicon oxide film 66 was measured by spectro-ellipsometry and was about 30 Å.

[0145] Next, as to cover the silicon oxide film 66, a non-doped (intrinsic) a-Si film 67 is formed by a plasma CVD method. Moreover, to this a-Si film 67, Ar 68 is added by an
25 ion doping method. In that case, Ar of 100% is used as doping gas, the acceleration voltage is for example 30 kV, and the dosed amount is 1×10^{15} cm⁻² to 1×10^{16} cm⁻², for example 3×10^{15} cm⁻².

[0146] And, in this state, for example, in an inert atmosphere such as nickel atmosphere, heat treatment is performed. In this case, treatment temperature and treatment time
30 are: 450°C to 550°C for 5 minutes to 4 hours, more preferably 480°C to 520°C for 10

minutes to 2 hours. Also, the rate of the temperature increase to and the rate of the temperature decrease from the processing temperature are preferably performed at least equal to or more than 5°C/minute. In this embodiment mode, the process with the heating temperature of 500°C for one hour was performed. In so doing, the temperature is increased to 500°C in 30 minutes (the rate of the temperature increase of 10°C/minute) from the state in which the substrate is pre-heated at 200°C, and after the treatment, the temperature is decreased from 500°C to 200°C in 30 minutes in the same manner.

[0147] In the embodiment mode, the non-annealed Corning Code 1737 glass substrate having the thickness of 0.7 mm with 320 mm × 400 mm was used for the glass substrate 61, and distortion, bending, crack, and the like of course did not occur from this heat treatment. Moreover, even in the case of a meter-sized large substrate, it is verified that the heat treatment such as in the embodiment mode can be used without problem. In the case of the embodiment mode, in the same manner as the first and the second embodiment mode, the heat treatment processing unit is performed by using the furnace.

[0148] By this heat treatment, the a-Si film 67 is not crystallized at all, and its defect becomes the segregation trap toward nickel, and the nickel 64 in the crystalline silicon film 63b of the lower layer is, as shown in FIG. 5 (d) by an arrow 69, drawn to the upward direction. In doing so, in the a-Si film 67, the Ar 68 which is doped causes a larger distortion among the lattice, and the gettering effect is improved very much, and functions as a stronger gettering sink. At this time, the nickel 64 is moved through the silicon oxide film 66 of the thin film, however the silicon oxide film 66 having the film thickness as in this embodiment mode does not become the obstacle for such transfer.

[0149] As a result, most of the nickel 64 in the crystalline silicon film 63b is moved to the a-Si film 67 of the upper layer and the concentration of the film 67 is increased. In conversely, the concentration of the nickel in the silicon film 63b of the lower layer is largely decreased, and a high quality crystalline silicon film 63c in which the concentration of nickel is low is obtained. In the heat treatment at 500°C for one hour, the concentration of nickel in the crystalline silicon film 63c and the concentration of

nickel in the a-Si film 67 of the upper layer that is the gettering sink are in thermal equilibrium state in the segregation state. In other words, the state wherein the transfer of the nickel 64 no longer occurs even the processing time is extended further more. In this state of the concentration of nickel in the actual crystalline silicon film 63c was
5 measured by SIMS, and it was reduced to about 5×10^{16} atoms/cm³.

[0150] Next, as mentioned above, the a-Si film 67, which has higher concentration of nickel because the nickel 64 is gettered is removed by an overall etching. In that case of the etching, the etchant which has sufficient etching selectivity ratio with respect to a silicon oxide film are used in order for the silicon oxide film 66 of the lower layer to
10 function sufficiently as the etching stopper. In the embodiment, a strong alkaline solution such as developing solution is used. And, after the a-Si film 67 is removed, the silicon oxide film 66 is removed by etching. As etchant of this case, 1 : 100 BHF which has the sufficient selectiveness with the silicon film 63c of the lower layer is used, and the wet etching was performed.

15 [0151] After that, the unnecessary portion of the crystalline silicon film 63c is removed to perform the separation between elements. In other words, by this process, as shown in FIG. 6 (e), an island shape crystalline silicon film 70 which later becomes an active area of a TFT (source and drain area; and channel area) is formed.

[0152] Next, as shown in FIG. 6 (f), a gate insulating film 71 covering the crystalline
20 silicon film 10 which becomes the active area is formed, and an aluminum film that is formed is patterned to form a gate electrode 72. In addition, this electrode of aluminum is anodized to form an oxide layer 73 over the surface. Next, by an ion doping method, with the gate electrode 72 and the oxide layer 73 as the mask, the impurities is implanted to the active area, and areas 74 and 75 which later become a
25 source and drain area of the TFT are formed. In addition, an area 76 in which the impurities is not implanted later becomes a channel area of the TFT. After that, irradiation of a laser light 77 is performed for the annealing to be performed, and the activation of the impurity in which ion is implanted and improvement of crystallinity which is deteriorated by the impurities introduction step is performed.

30 [0153] Continuously, as shown in FIG. 6 (g), an interlayer insulating film 78 is formed,

and a contact hole is formed to this interlayer insulating film, and a source electrode and wiring 79 of the TFT and a drain electrode and wiring 80 is formed. And finally, under a nitrogen atmosphere of one atmospheric pressure, annealing is performed at 350°C for one hour, and an n-channel-type TFT 81 that is shown in FIG. 6 (g) is completed.

5 [0154] As mentioned above, in this embodiment mode, the a-Si film 63 is formed over the glass substrate 61, and the nickel 64 is added over the surface of the a-Si film 63 about 7×10^{12} atoms/cm². And, under inert atmosphere, the crystallization of the a-Si film 63 is performed by the heat treatment at 520°C to 570°C for 2 hours to 8 hours, and the crystalline silicon film 63a in which very small amorphous silicon area is mixed is
10 obtained.

[0155] Subsequently, an irradiation of the laser light 65 is performed to reduce the crystal defect by melting and solidifying the crystalline silicon film 63a obtained by solid-phase crystallization, and the crystalline silicon film 63b of higher quality is made. In addition, a non-doped a-Si film 67 is formed and is doped with Ar 68, and the heat
15 treatment is performed under an inert atmosphere at a temperature of 450°C to 550°C for 5 minutes to 4 hours at the rate of temperature increase and decrease of equal to or more than 5°C/minute. By this heat treatment, the second amorphous silicon film 67 which becomes the gettering sink is not crystallized at all, and its defect becomes the segregation trap toward nickel, and the nickel 64 in the crystalline silicon film 63b of
20 the lower layer is pulled out to the upward direction. In doing so, in the a-Si film 67, the Ar 68 which is doped causes the larger distortion among lattices, and functions as the stronger gettering sink.

[0156] Therefore, according to this embodiment mode, most of the nickel 64 in the crystalline silicon film 63b is moved to the a-Si film 67 of the upper layer, and the
25 crystalline silicon film 63c of higher quality with a low concentration of nickel is obtained. In other words, the remaining nickel concentration can be reduced to the 1/4 of the conventional method in which the heat treatment that does not crystallize the gettering sink is not performed.

[0157] Characteristic parts of the each embodiment mode are summarized in the
30 following. In other words, in the each embodiment mode; the catalytic element (nickel

4, 34, and 64) is added to the first a-Si films 3, 33, and 63 which is formed over the insulating substrate (glass substrates 1, 31, and 61), and after crystal growth by the first heat treatment, the second a-Si films 7, 8, 37, and 67 are formed over the crystalline silicon films 3b, 33b, and 63b, and the catalytic element in the crystalline silicon films 3b, 33b, and 63b is moved to the second a-Si films 7, 8, 37, and 67.

[0158] A large point in the each embodiment mode is that the second heat treatment in that case is performed while in the state that the second a-Si films 7, 8, 37 and 67 are not completely crystallized. In addition, after the second a-Si films 7, 8, 37 and 67 are removed, the active area of the semiconductor device is formed by using the crystalline silicon films 3c, 33c, and 63c of the lower layer. By doing so, compared to the conventional method in which the heat treatment is not performed when the second amorphous silicon film is not crystallized, the remaining catalytic element in the active area can be largely reduced. Thus, compared to the conventional method, high reliability is obtained, because an abnormality of leak current at off operation disappears. As a result, compared to the conventional method, the high quality semiconductor device having higher current drive ability, and the abnormality of leak current at off operation is not seen, and high reliability can be maintained at the same time.

[0159] A mechanism, in which a heat treatment while in a state the second amorphous silicon film is not crystallized, is performed to move the catalytic element is explained. One of the mechanisms that move the catalytic element to some area (in other words, gettering) is; the method (the first gettering effect) that the solid solubility to the catalytic element in the area is set higher than the other areas, and the catalytic element is moved to the area. In addition, other than that, there is the method (the second gettering effect) in which a defect or a local segregation site trapping the catalytic element in the area is formed, and the catalytic element is moved to the area to be trapped.

[0160] In the each embodiment mode, the second a-Si films 7, 8, 37, and 67 which function as the gettering sink are heat treated in the state they are not crystallized in order to draw an advantage of the latter (the second gettering effect). In other words, the defect such as dangling bond in the second a-Si films 7, 8, 37, and 67 becomes the

segregation site to the nickel 4, 34, and 64, and the nickel 4, 34, and 64 are moved from the crystalline silicon films 3b, 33b, and 63b and trapped in the second a-Si films 7, 8, 37, and 67 of the upper layer. As a result, the concentration of the catalytic element in the crystalline silicon films 3c, 33c, and 63c of the lower layer that are used as the active area of the semiconductor device is largely reduced, and the abnormality of the leak current of the semiconductor at off operation disappears and the high reliability can be obtained.

[0161] As for the second heat treatment, the minimum extent of the second gettering effect can be drawn by conducting the heat treatment when the second a-Si films 7, 8, 37, and 67 are at least not completely crystallized. However, more preferably, while processing this heat treatment, it is desirable to perform the second heat treatment in the state when the crystal nucleation does not occur at all in the second a-Si films 7, 8, 37, and 67 which are the gettering sink. By doing so, in the entire gettering process of moving the nickel 4, 34, and 64 in the crystalline silicon films 3b, 33b, and 63b to the second a-Si films 7, 8, 37, and 67, the maximum gettering segregation site can be maintained, and the second gettering effect can be obtained to the maximum extent. In other words, in the each embodiment, this state is the state in which the highest gettering effect is obtained.

[0162] Moreover, in order to improve the gettering effect of the catalytic element, as in the embodiment modes 1 and 2, it is very effective that phosphorus which is the element chosen from group 5B is included in the second a-Si films 8, and 37. By doing so, the solid solubility of the catalytic element in the second a-Si films 8 and 37 is dramatically improved, and the transfer of the catalytic element (in other words, the first gettering effect) due to the difference in the solid solubility is also conducted at the same time. In other words, both the two mechanisms and the effects of the gettering of the catalytic element can be obtained at the same time, and the concentration of the catalytic element within the film of the crystalline silicon films 3c, 33c, and 63c which become the active area of the lower layer can be largely reduced.

[0163] This gettering method using the element of group 5B is disclosed in the Published Patent Application No. H10-223534, the Published Patent Application No.

H10-229048, and the Published Patent Application No. H11-31660. However, all these are by the use of the difference of the solid solubility (the first gettering effect to move the catalytic element) to the catalytic element in the added area and non-added area due to the introduction of the element of group 5B. On the other hand, the main driving force for the gettering in the embodiment modes 1 and 2 is the second gettering effect using the local segregation site of the defect and the like in the second a-Si films 7, 8, and 37. Moreover, the second gettering effect by the introduction of the element of group 5B to the second a-Si films 8 and 37 is subsidiary, and by a accumulative synergetic effect by combining the first gettering effect and the second gettering effect, the gettering efficiency is largely improved compared to the conventional method disclosed in the each published patent application.

[0164] The crystalline silicon films 3c, 33c, and 63c obtained as described above mentioned, do not show an etch pit which is seen in a conventional method, although an evaluating method in which by performing a light etching treatment by a hydrofluoric acid based etchant, the remaining catalytic element is made evidential, that is used to confirm the remaining of the catalytic element simply. In addition, as a severer evaluation, even if an evaluation method in which even heat treatment at higher temperature is performed to re-aggregate the remaining catalytic element in the element area to make it silicide is conducted, re-aggregation of the catalytic element which is seen in the Published Patent Application No. H11-31660, the Published Patent Application No. H10-223534, and the Published Patent Application No. H10-229048 was not found at all.

[0165] In addition, when the TFT is actually manufactured using the crystalline silicon films 3c, 33c, and 63c obtained by the each embodiment mode, a phenomenon of the abnormal increase of the leak current at off operation seen with equal to or more than 3% of probability when the TFT is manufactured in the same manner by the each published patent application and the related art is not seen at all, and is truly 0%. Moreover, in the liquid crystal display device using the TFT manufactured above, a linear display spot (caused by a sampling TFT of the driver portion) which frequently occurred in the liquid crystal display device using the TFT by the conventional method

and pixel defect due to the leak current at off operation are none, and the display quality can be largely improved and the yield can be dramatically improved.

[0166] The each embodiment is; in the same manner as the Published Patent Application No. H11-31660, to move and getter the catalytic element to the other a-Si
5 films 7, 8, 37, and 67 formed over the crystalline silicon films 3b, 33b, and 63b to the longitudinal direction (direction of the film thickness); however the point is completely different from mentioned above. In other words, in the each embodiment, the amorphous silicon film is used as the gettering sink, and the second gettering effect is caused by using the heat treatment in the state it is not crystallized, and the gettering
10 becomes possible without the silicon film of the upper layer which becomes the gettering sink including the element of group 5B such as phosphorus. In addition, this kind of gettering to the direction of the film thickness needs a short movement distance compared to the general gettering to the horizontal direction as the Published Patent Application No. H10-223534 and the Published Patent Application No. H10-229048,
15 since its gettering distance (the distance which the catalytic element shall move) is only the film thickness. This means that the gettering is possible at a low temperature or for a short time, and it is very convenient to draw the second gettering effect in which the heat treatment is performed while the amorphous state is maintained. In the annealing process for a long time or at a high temperature, problems such as warpage and bending
20 occur when an inexpensive substrate is used.

[0167] By the way, in the each embodiment mode, as mentioned above, the second heat treatment for the gettering is the point, and the heat treatment is necessary to be performed when the second a-Si films 7, 8, 37, and 67 which become the gettering sink are at least not completely crystallized, more preferably, when the crystalline nucleus
25 generation does not occur at all. To do so, it is advantageous to lower the treatment temperature of the second heat treatment and shorten the time, but there is lower limit. Although the treatment temperature and time for moving the nickel 4, 34, and 64 in the crystalline silicon films 3b, 33b, and 63b to the a-Si films 7, 8, 37, and 67 are at least needed to the minimum extent; the most desirable is that it is done at the heating
30 temperature and for the heating time with which the concentration of nickel in the

crystalline silicon films 3b, 33b, and 63b and the second a-Si films 7, 8, 37, and 67 become at least in the thermal equilibrium state and in the segregation state. In this state, the gettering effect is saturated, and the highest and the most stable gettering effect is obtained. In other words, before this state, it is a half-finished transfer state and is unstable as the process.

[0168] From the above mentioned purpose, performance with the heating temperature in the range of 450°C to 550°C and the treatment time of 5 minutes to 4 hours is desirable for the actual processing condition of the second heat treatment. In FIG. 7, the relation (an experiment result) between the heating temperature and the gettering time in the second heat treatment is shown. A horizontal axis is the heating temperature for the gettering. In addition, a vertical axis is the time needed for gettering (to be in the thermal equilibrium state in the segregation state) the distance of 100 nm in the crystalline silicon film to which nickel is added as the catalytic element. In the method for gettering in the direction of the film thickness, the gettering distance is needed only for a distance as very short distance as the distance of the film thickness. Therefore, the gettering distance of 100 nm is a sufficient distance. From FIG. 7, the gettering is finished and is saturated at 550°C for about 5 minutes, at 500°C for about 30 minutes, and at 450°C for 240 minutes. On simulation, the calculation result in which the gettering can be performed in shorter time was obtained; however in fact it is estimated that the transfer equal to or less than the solid solubility is performed, and it is conceivable that for that the treatment time is prolonged.

[0169] In addition, in the experiment, an oxide thin film of a native oxide film level exists between the crystalline silicon film of the lower layer and the second amorphous silicon film, and possibly obstructs the transfer of nickel slightly.

[0170] In the experiment result of FIG. 7, the amorphous silicon film to which phosphorus is added as the element of group 5B is used, and by using the second heat treatment such as described above, the second gettering effect comes to be obtained, and the even the non-doped amorphous silicon film comes to function as the second amorphous silicon film. From the above reasons, the treatment condition for the second heat treatment is preferable with the heating temperature in the range of 450°C

to 550°C and the processing time of 5 minutes to 4 hours.

[0171] According to FIG. 7, with the heating temperature of 600°C the gettering can be done in 1 minute, but there is a possibility that the second amorphous silicon film is crystallized. Moreover, at equal to or less than 550°C, the second amorphous silicon
5 film is hardly crystallized, and the second gettering effect can be obtained, because the second gettering effect disappears when the second amorphous silicon film is completely crystallized. Also, the treatment time becomes very long when the heating temperature is equal to or less than 450°C, and due to the aggravation of the though-put and increase in number and footprint of the device, it is difficult to adopt as a mass
10 production process.

[0172] More desirably, as the second heat treatment, it is good to be performed especially in the range of the heating temperature from 480°C to 520°C for 10 minutes to 2 hours of processing time. As an object of the semiconductor device by the each embodiment mode, there is an active matrix substrate for a liquid crystal display. In
15 addition, that motherboard (glass substrate) has a tendency to become large-sized for achieving low cost. In addition, with the addition of tendency of reduction in thickness for making the liquid crystal display device more compact and lighter weight, it is very hard for that substrate to be heat treated. In fact, when generally used glass substrate of Corning cord 1737 is used, in the case of 600 mm × 720 mm and the
20 thickness of 0.7 mmt, it is known by the experiment that the heat treatment with the heating temperature at 500°C for one to 2 hours is the approximate limit. The biggest problem when using the above mentioned glass substrate is bending caused by the weight.

[0173] In the each embodiment mode, since the catalytic element is gettered to the
25 direction of the film thickness, the gettering distance is needed only for a distance as very short as the thickness of the film, and the heating temperature of the second heat treatment can be lowered and also the time can be shortened, it is a very matching method for this kind of a large glass substrate. In consideration of a point like this, it can be said that an optimum condition for performing the second heat treatment is; the
30 above mentioned heating temperature is in the range from 480°C to 520°C and the

processing time of 10 minutes to 2 hours. With this kind of processing condition, a process of sufficiently high mass productivity can be achieved, and a correspondence to upsizing and reduction in thickness of the glass substrate is possible. In addition, within this heating temperature and processing time, the crystal nucleation does not
5 occur in the second amorphous silicon film, and it is not crystallized at all. Therefore, the maximum effect of the each embodiment mode can be obtained to the maximum.

[0174] Incidentally, it is desirable that the rate of the temperature increase and decrease to and from the heating temperature of the substrate in the second heat treatment are both at least more than 5°C/minute. When this rate of temperature increase and
10 decrease is slow, an unintended excessive heat treatment comes to be added, and there is a possibility that the crystallization is triggered in the course of the temperature increase and the temperature decrease as well as the thermal damage to the glass substrate increases. According to the experiment, it is known that when the second heat treatment is performed at the rate of temperature increase and the temperature decrease
15 of equal to or more than 5°C/minute, the above mentioned effect is not lost, and there is also no generation of a particular problem.

[0175] As the other reason for performing the second heat treatment in the condition where the second a-Si films 7, 8, 37, and 67 are not completely crystallized, there is a problem in the process of removing the second a-Si films 7, 8, 37, and 67. In other
20 words, in the process of removing the a-Si films 7, 8, 37 and 67, by using the alkali solution, a large etching selectivity ratio to the silicon oxide films 6, 36, and 66 of lower layer which become the etching stopper is obtained. As the alkali solution of that case, inorganic alkali liquid such as TMAH (tetramethylammonium hydroxide) is used.

[0176] However, as shown in FIG 8, in this kind of etching of the silicon film by the
25 alkali solution, when the silicon film is crystallized, linearity between the time and the amount of etching disappears, and the etching rate extremely drops and residual becomes very easy to remain. Moreover, if this kind of residual occurs, eventually the residual comes to exist in the interface of the channel of the TFT; therefore normal TFT characteristic is not shown and the TFT becomes defective. Therefore, by performing
30 the second heat treatment in the condition that the second a-Si films 7, 8, 37, and 67 are

not crystallized at all, the etching removal in the following process becomes easy to be performed, and the defectiveness with the removal process of the second a-Si films 7, 8, 37, 67 can be largely reduced.

[0177] More suitably, it is desirable to perform the second heat treatment in the condition where the second a-Si films 7, 8, 37, and 67 are not crystallized at all. As mentioned above, since the etching rate in the crystallized area is slower than the amorphous area, if the crystallized area and the amorphous area are mixed, as shown in FIG. 9, the crystallized silicon area tends to remain as the etching residual. Therefore, by performing the second heat treatment in the condition where the crystallization of the a-Si films 7, 8, 37, and 67 does not happen at all, the difference of the etching rate caused by the difference of crystallinity at the etching of the a-Si films 7, 8, 37, and 67 and the problem of etching residual with it can be perfectly solved. Therefore, the TFT defect caused by the above mentioned etching error completely disappears. In addition, FIG. 9 (a) is a schematic block diagram of the surface of the second a-Si films 7, 8, 37, and 67 of before the etching and during the etching, and FIG. 9 (b) is a cross-sectional schematic block diagram.

[0178] In order to achieve the purpose of this invention, the structure of the manufacturing device for performing the second heat treatment is also an important point. In the each embodiment, the process of the second heat treatment, as mentioned above, is desirably performed by using a furnace in which a substrate is placed such that in a furnace core tube having a cross-sectional shape approximately similar to a plane shape of the substrate so that the substrate surface faces to the furnace core tube and at the same time a space between the furnace core tube and the substrate is the minimum. This kind of the summarized concept of the apparatus structure is shown in FIG. 10 and FIG. 11.

[0179] In FIG. 10, plural pieces of the substrate 92 are set to the quartz boat 93. This boat 93 enters inside the quartz tube (furnace core tube) 91 and the heat treatment is performed. The quartz boat 93 is at the home position 95 at the setting of the substrate 92. In this home position 95, the preheating is performed at approximately 200°C. In addition, as shown by the arrow (A), as the boat 93 charged with the substrate 92 enters

the tube 91, the temperature increase is started, and when the entire body of the boat 93 enters inside an anneal zone 96 the heat treatment is started. The temperature decrease, in conversely, is conducted by taking the boat 93 down to the home position 95 that is the preheating zone.

- 5 [0180] Here, the point is as shown in FIG. 11 (a), the cross sectional shape of the quartz tube 91 is the approximate similar shape of the rectangular shape which is one size larger than the outer shape of the substrate 92. The glass substrate which becomes the motherboard of the active matrix substrate and the like for the liquid crystal display is different from silicon wafers such as ICs and is not circular but is all rectangular shaped.
- 10 Conventionally, this kind of the quartz tube of the furnace, as shown in FIG. 11 (b), is customarily rectangular shaped. As the substrate 92 of the rectangular shape is set in this quartz tube 97, a large gap 98 is made between the substrate 92 and the tube 97, when cross sectionally seen. On the other hand, as shown in FIG. 11 (a), if the quartz tube 91 having approximate similar shape of the cross section with the substrate 92 is
- 15 used, its gap 99 can be made small. In the each embodiment, the gap 99 between this tube 91 and the substrate 92 comes to be a big point.

- [0181] In the each embodiment, it is necessary for the second heat treatment to be performed rapidly with the fast rate of temperature increase and rate of temperature decrease. However, in the conventional furnace, it is extremely difficult for the above
- 20 mentioned fast rate of temperature increase and decrease to be actually realized in the case of a large sized glass substrate particularly such as the size of 600 mm × 720 mm. In addition, as a big problem, the temperature distribution in the substrate at the time of temperature increase and decrease becomes very large, concretely; there is the temperature distribution exceeding 200°C between the peripheral portion and the central
- 25 portion of the substrate, and bending and crack by that affect frequently happened.

- [0182] The inventors, in order to solve this problem, discovered that the gap 99 between the tube 91 and the substrate 92 and a substrate pitch 94 when the substrate 92 is set in plural pieces are big parameters. In other words, the point of solution to increasing the rate of temperature increase and decrease and to improving the temperature distribution
- 30 in the substrate simultaneously is that how much ambient gas such as nitrogen can be

provided between the substrates 92. In FIG. 11 (c), the flow of the ambient gas at the time of the second heat treatment is shown. An ambient gas 100 which is provided from the upper portion of the tube 91 goes through the gap 99 between the tube 91 and the substrate 92 and flows downward as shown by the arrow 101, and at the same time
5 flows between the substrate 92 as shown by an arrow 102. The flow 102 of this ambient gas 100, in other words, by the increase in the supply of the ambient gas 100, the rate of temperature increase and decrease can be increased, and at the same time the temperature distribution in the substrate 92 of that case can be approximately stabilized. The supply of this ambient gas in the direction of the arrow 102 is proportional to a rate
10 of flow of the ambient gas 100 which flows between the substrate 92 and the tube 91 to the direction of the arrow 101, and is proportional to the square of the substrate pitch 94. In order to increase the rate of flow to the direction of the arrow 101, only increasing the supply of gas is not sufficient, and it is very effective to set the gap 99 between the tube 91 and the substrate 92 to be 10 mm to 80 mm. For that purpose, using the
15 furnace core tube (quartz tube) 91 which has the outline similar shape of the rectangular cross section is very effective.

[0183] The reason is that when the gap 99 is equal to or less than 10 mm, a necessary loading clearance between the boat 93 and the tube 91 can not be taken. In addition, since the maximum gap when the glass substrate which is 400 mm × 400 mm of the
20 minimum size that is supposed as the motherboard is justly fit in the circular tube is 80 mm, when it is equal to or more than 80 mm, there is no significance of using the quartz tube which has the approximate similar shape of the rectangular cross section, and the intended effect can not be obtained. In addition, by setting the gap 99 to 10 mm to 80 mm, collectively with the optimization of the substrate pitch, the fast rate of temperature
25 increase and decrease which is needed in the second heat treatment can be realized, and at the same time the temperature distribution in the substrate 92 in that case can be approximately stabilized; therefore the stable performance without bending or cracking can be realized to even the large glass substrate of meter size.

[0184] This could not be achieved at all by using the conventional circular tube shown
30 in FIG. 11 (b). Moreover, by connecting the heating devices of chamber structure in a

cluster shape as shown in FIG. 10 and FIG. 11 and performing a simultaneous processing, in other words, by achieving the multi-chamber, a manufacturing device which has a very high processing ability can be achieved by small foot print. In other words, as the heat treatment device of the second heat treatment, in consideration of including the mass production it becomes an optimized device.

[0185] In the each embodiment, the driving force for the gettering is mainly the second gettering effect which utilizes the local segregation site of the defect and the like in the second a-Si films 7, 8, 37, and 67. Therefore, in the each embodiment, even if the second a-Si films 7, 8, 37, and 67 which become the gettering sink do not include the impurities unlike the Published Patent Application No. H10-223534, the Published Patent Application No. H10-229048, and the Published Patent Application No. H11-31660, the gettering is possible. However, in order to improve the gettering effect of the catalytic element, as in the case of the embodiment modes 1 and 2, it is effective for the element selected from the group 5B to be further included in a-Si films 8 and 37.

By doing so, the solid solubility of the catalytic element in the second a-Si films 8 and 37 can be drastically improved, and the transfer (in other words, the first gettering effect) of the catalytic element by the difference of the solid solubility comes to be performed at the same time. Therefore, both two mechanisms and effects of the gettering of the catalytic element can be obtained simultaneously, and the concentration within the film of the catalytic element in the crystalline silicon films 3b and 33b which serve as an active area of the lower layer can be largely reduced. In other words, by the accumulative synergetic effect which is the combination of the first gettering effect and the second gettering effect, the gettering effect can be largely improved compared to the conventional method.

[0186] Specifically, as the element chosen from group 5B, at least one chosen from phosphorus (P), nitrogen (N), arsenic (As), antimony (Sb), and bismuth (Bi) can be used. With one or plural kinds of elements from these, the catalytic element can be efficiently moved, and the sufficient gettering effect can be obtained. With respect to the mechanism of this gettering, a specific knowledge has not been obtained yet, but it is known that among these elements the most effective is phosphorus.

[0187] Subsequently, in the process of forming the second a-Si film 8, it is desirable to perform formation by the plasma CVD method with at least silane (SiH_4) gas and phosphine (PH_3) gas as material gas at a deposition temperature of equal to or more than 400°C . When phosphorus is incorporated into the amorphous silicon film, an ion doping method is normally used; however in that case, there are many cases in which the amorphous silicon film is micro-crystallized when the substrate has high temperature at the time of ion doping. When such crystallization is performed, an effect stated above becomes small. However, by the CVD method at the deposition temperature of equal to or less than 400°C with silane (SiH_4) gas and phosphine (PH_3) gas as a material gas, the silicon film of almost complete amorphous state is obtained and the concentration in the film of phosphorus can also be very high. Moreover, the processing ability is high, and it is suitable for the mass production.

[0188] In addition, as in the second embodiment mode, when B (boron) is further included in the second a-Si film 37 including P (phosphorus) that is chosen from group 5B, a bigger gettering effect can be obtained. It is known that when not only phosphorus but also boron is doped together, its gettering mechanism changes. In other words, when only phosphorus is included, it is the diffusion transfer gettering effect (the first gettering effect) which utilizes the difference of the solid solubility of the catalytic element and the non-gettering area of non-dope; however by letting the boron be included, the catalytic element at the gettering site comes to be easily precipitated and the gettering (the second gettering effect) to the defect or the segregation site becomes superior.

[0189] In the latter case, the gettering ability is higher, but since it is the gettering effect by the defect and the segregation site, it becomes severer to the annealing temperature. In the each embodiment mode, while the gettering site such as defect is remained, the heat treatment is performed; therefore it is very effective to the second gettering effect utilizing the defect and the segregation site. Therefore, by letting B (boron) as well as P be included, a bigger gettering effect of the catalytic element can be obtained, and the reduction of the concentration of the catalytic element in the active area can be achieved. In that case, as the method for forming the second a-Si film 37 which includes

phosphorus and boron, it is desirable to form with at least silane (SiH_4) gas, phosphine (PH_3), and diborane (B_2H_6) gas as material gas, by the plasma CVD method at a deposition temperature of equal to or less than 400°C . By so doing, as mentioned above, the silicon film of almost complete amorphous state can be obtained, and the concentration in the film of phosphorus and boron can be very high. Moreover, the processing ability is high, and it can be said that it is suitable for the mass production.

[0190] As another method for improving the effect of the each embodiment, it is also very effective that, as in the third embodiment mode, the second a-Si film 67 which becomes a gettering sink includes rare gas element chosen from Argon (Ar), Krypton (Kr), and Xenon (Xe). When these rare gas elements exist in the amorphous silicon film of the gettering sink, since a large distortion among lattice occurs there, the second gettering effect by the defect and segregation site that is the original characteristic works very strongly. This is a technique which is well known in the field of IC that generally uses Si wafer. However, these elements have the effect to slow down the rate of the crystal growth because they exist in the amorphous silicon film, and they block the crystal growth of the amorphous silicon film, and the latency period until the crystal growth (crystal nucleation) becomes longer. Because of that, the second amorphous silicon film which is the gettering sink at the time of above mentioned heat treatment can be maintained in more amorphous state; therefore the second gettering effect that is larger can be obtained. Therefore, letting such rare gas element be included in the second amorphous silicon film is a very effective method that agrees with the concept and the purpose of the invention. In addition, Ar has the highest effect among these rare gas elements, and the highest effect can be obtained when Ar is used.

[0191] As a method for forming the second a-Si film 67 which includes such rare gas element, the method in which after formation by the plasma CVD method, doping the rare gas element in the film by the ion doping method is desirable. Since after a-Si film is formed first and the rare gas element is added by doping, its distortion of the lattice can be larger and the higher gettering effect can be obtained. In addition, a material gas of doping in that case is the rare gas and its purity is 100%; therefore, the

processing ability (through put) of doping is very high.

[0192] By the way, in the each embodiment mode, the catalytic element which promotes their crystallization is added to the first a-Si films 3, 33, and 63, the heat treatment is performed, the crystallization is performed, and the second a-Si films 7, 8, 37, and 67 are formed over the crystalline silicon films 3b, 33b, and 63b which become the active area of the semiconductor device, the catalytic element is transferred to these second a-Si films 7, 8, 37, and 67. However, these second a-Si films 7, 8, 37, and 67 which become the gettering sink are not necessary as the semiconductor device after the catalytic element is gettered. Therefore, although these second a-Si films 7, 8, 37, and 67 need to be removed, in doing so, while the crystalline silicon films 3c, 33c, and 63c which become the active area of the lower layer are left, only the second a-Si films 7, 8, 37, and 67 may need to be removed. For that, etching process having close to 100% of etching ratio between the crystalline silicon films 3c, 33c and 63c of the lower layer and the second a-Si films 7, 8, 37, and 67 of the upper layer is desired, but actually it is a similar material of silicon film line; therefore, the selective etching having close to 100% is impossible. Therefore, in the each embodiment, between the crystalline films 3c, 33c, and 63c that become the active area and the second a-Si films 7, 37, and 67, forming the barrier thin film which becomes the etching stopper when removing the second a-Si films 7, 8, 37, and 67 is effective.

[0193] As the barrier thin films of that case, not only does it have the sufficient etching selectivity ratio as the etching stopper when removing the second a-Si films 7, 8, 37 and 67, but also through this barrier thin film, transfer of the catalytic element from the crystalline silicon films 3b, 33b, and 63b of the lower layer to the second a-Si films 7, 8, 37, and 67 of the upper layer may need to be performed. If this transfer of the catalytic element is obstructed, sufficient transfer of the catalytic element to the second a-Si films 7, 8, 37, and 67 of the upper layer that becomes the gettering sink is not performed, and the gettering effect can not be obtained. In other words, the effect in the each embodiment is completely lost. With such an object, as the barrier thin film which is formed between the crystalline silicon films 3b, 33b and 63b of the lower layer in an active area and the second a-Si films 7, 8, and 37, using the silicon oxide films 6, 36,

and 66 having the film thickness of equal to or less than 50 Å is desirable. A film such as this fulfills the both objects mentioned above. In addition, when the film thickness is thicker than 50 Å, the sufficient transfer of the catalytic element between the crystalline silicon films 3b, 33b, and 63b of the active area and the second a-Si films 7, 8, 37, and 67 is not conducted, and the high gettering effect of the catalytic element can not be obtained.

[0194] In the each embodiment mode, the method for improving the crystallinity of the crystalline silicon films 3a, 33a, and 63a crystallized by the catalytic element and the performance of the semiconductor device, especially the electric current drive ability, adding a process in which the heat treatment is performed in oxidation atmosphere at higher temperature to the silicon films 3a, 33a, and 63a crystallized by the catalytic element, and a process in which irradiation of the laser light is performed are effective. In the former method for improving the crystallinity by performing the heat treatment in oxidation atmosphere at high temperature, when the oxidation treatment at higher temperature (800°C to 1100°C) is conducted to the silicon films 3a, 33a, and 63a crystallized by the catalytic element, a supersaturated Si atom generated by an oxidation effect is provided into the silicon film and the supersaturated atom goes into the crystal defect (especially the dangling bond) inside the silicon films 3a, 33a, and 63a, and the defect disappear. However, in this method of performing the oxidation treatment at high temperature of 800°C to 1100°C, the inexpensive glass substrate can not be used. From that perspective, at the each embodiment mode, the latter method of irradiating with the laser light is more effective.

[0195] When the crystalline silicon films 3a, 33a, and 63a which are obtained by the each embodiment mode are irradiated with the laser light 5, 35, and 65, the crystal grain portion and the micro remaining amorphous area (non-crystallized area) are to be intensively processed, due to the difference of the melting point between the crystalline silicon film and the amorphous silicon film. In that case, in the crystalline silicon film which is formed by the normal solid-phase growth method, the crystal structure is the twin crystal; therefore, even after the irradiation of the strong light, inside of the crystal grain remains as the twin crystal. In comparison to that, the crystalline silicon film

which is crystallized with the introduction of the catalytic element is formed with the columnar crystal and its inside is at the single crystal state; therefore when the crystal grain portion is processed with the strong irradiation, the crystalline silicon film of good quality which is close the single crystal state can be obtained over the entire substrate, and from the perspective of the crystallinity, its effectiveness is very high. In addition, since the laser light 5, 35, and 65 are irradiated to the silicon films 3a, 33a, and 63a which originally have the crystallinity, it is different from the method in which is direct irradiation of the laser light to the amorphous silicon film to crystallize, and the variation of the laser irradiation is largely relieved and the problem of uniformity is not generated either.

[0196] However, the process of performing such a laser light irradiation treatment is desirably performed before the second a-Si films 7, 8, 37, and 67 are formed over the crystalline silicon films 3a, 33a, and 63a that become the active area, in other words, before the catalytic element is gettered to the second a-Si films 7, 8, 37, and 67. The reason is that when the crystalline silicon films 3a, 33a, and 63a which are obtained by the solid-phase growth method by the catalytic element are irradiated with the laser light 5, 35, and 65, a change occurs to the existing form of the catalytic element. Specifically describing, it is because the aggregation and re-aggregation as the silicide occurs. As the gettering process which removes the catalytic element from the active area, it is desirable to perform when the crystal state of the crystalline silicon film that forms the active area is completely stabilized, and by doing so, an idealistic gettering can be performed. Conversely, when a process (laser light irradiation) which promotes crystallinity after the gettering is performed, there is a possibility that the catalytic element that is remained and solid dissolved after the gettering re-aggregates and becomes silicide, and gives electric affect to the semiconductor element.

[0197] By the way, the elements which can be used as the catalytic element that is added into the first a-Si films 3, 33, and 63 to promote the crystallinity are, in addition to the above mentioned nickel (Ni) 4, 34, and 64; cobalt (Co), iron (Fe) palladium (Pd), platinum (Pt), copper (Cu), and gold (Au) can be used. One or plural kinds of the element chosen from these have the effect of promoting the crystallization with little

amount, and among these when nickel 4, 34, and 64 are used, the most eminent effect can be obtained. With respect to the reason for that, the following model can be conceived.

[0198] Therefore, the catalytic element does not operate alone, and by being combined
5 with the a-Si films 3, 33, and 63 and becoming the silicide, it acts on the crystallization. In other words, the crystalline structure of that case functions as a kind of mold at the crystallization of the a-Si films 3, 33, and 63 and promotes the crystallization of a-Si films 3, 33, and 63. The Ni forms two silicides: Si and NiSi₂. NiSi₂ shows the crystal structure of a fluorite type, and its crystal structure is very similar to a diamond
10 structure of the single crystal. Moreover, NiSi₂, with its lattice constant of 5.406 Å, has a very close value to the lattice constant of 5.430 Å in the diamond structure of the crystalline silicon. Therefore, NiSi₂ is the best mold to crystallize the a-Si films 3, 33, and 63, and as the catalytic element in the each embodiment mode, especially Ni is the most desirably used.

[0199] In the each embodiment mode, the quantity of introduction (concentration per
15 unit of area) at the introduction of the catalytic element to promote the crystallization of the first a-Si films 3, 33, and 63 is desirably in the range from $5 \times 10^{11} \text{ cm}^{-2}$ to $5 \times 10^{13} \text{ cm}^{-2}$ in the measured value of total reflection X-rays fluorometry. In this range, necessary and enough crystallization can be obtained. In so doing, when the quantity
20 of introduction of the catalytic element is equal to or less than $5 \times 10^{13} \text{ cm}^{-2}$, the excessive precipitation of the catalytic element which does not contribute to the crystal growth frequently occurs, and also in the following gettering process, the gettering becomes very difficult.

[0200] By the way, as the semiconductor device manufactured by the each embodiment
25 mode, it is characterized in that the crystalline silicon film that forms the active area includes the catalytic element, and in the active area the catalytic element has the concentration distribution to the direction of the film thickness. The state as mentioned above is obtained as a result of the catalytic element being effectively
30 gettering by the each embodiment mode. Moreover, the concentration distribution to the direction of the film thickness in the active area is desirably the highest at the upper

surface of the active area and is lowered as it goes to the bottom surface. Such concentration distribution state is the state in which the effect in the each embodiment mode is obtained to the maximum extent and is a result of the catalytic element being effectively gettered to the direction of the film thickness.

- 5 [0201] In addition, the state of the catalytic element in the active area in the each embodiment mode is desirably solid dissolved among the silicon lattice and is in a state in which it is not precipitated as the silicide. This state is the state generated by performing the gettering. In the state of the crystal growth, there certainly is the precipitation of the silicide, paradoxically the crystal growth is conducted by the silicide.
- 10 Therefore, the state in which although the crystal growth is conducted by the catalytic element, the catalytic element does not exist in the active area as the silicide and exists solid dissolved among the silicon lattice shows that after the crystal growth the gettering is effectively performed, and is a result showing the high gettering effect in the each embodiment mode.
- 15 [0202] In addition, an Ar element is desirably included in periphery of the surface of the active area. When the second a-Si film of upper layer is doped with Ar and gettered, some of Ar is implanted into the surface of the active area of lower layer of the semiconductor device, and Ar exists in periphery of the surface of the active area. This is the state seen when an effective gettering by Ar is performed. In addition, as a kind
- 20 of the catalytic element which is included in the active area in the each embodiment mode, it is most desirable that at least Ni element is included. This is because Ni operates most effectively as the catalytic element as mentioned above.

- [0203] Lastly, in the each embodiment mode, the objects of the invention are: to reduce as much catalytic element as possible remaining in the active area of the semiconductor
- 25 element, and to realize the semiconductor device which has high performance, high-reliability, and high-stability. In order to do so, the concentration of the catalytic element in the active (channel) area of the semiconductor device which is obtained lastly is necessarily be in the range of $5 \times 10^{15} \text{cm}^{-3}$ to $5 \times 10^{15} \text{cm}^{-3}$. By setting the concentration of the catalytic element in the active area to $1 \times 10^{17} \text{cm}^{-3}$, an electric
- 30 affect which the catalytic element has on the semiconductor characteristics completely

disappears. In addition, by applying the each embodiment mode, such low concentration can be realized. Also, as long as the crystallization is performed by using the catalytic element, the catalytic element with the least concentration of $1 \times 10^{17} \text{cm}^{-3}$ remains in the channel area, and the reduction equal to or less than it is impossible by any method conceivable at the present. Therefore, as the result of performing the crystallization with the catalytic element, at least the catalytic element with the concentration of equal to or more than $1 \times 10^{15} \text{cm}^{-3}$ remains in the channel area.

[0204] In the foregoing, the invention is explained specifically by the first embodiments mode 1 to 3; however, this invention is not limited to the embodiments, and various transformation based on technical idea of this invention is possible.

[0205] For example, as the second heat treatment when moving the catalytic element nickel to the a-Si films 3, 33, 63 that are the gettering sink, the method which uses the resistant heating furnace (furnace) that has furnace core tube 91 of the approximate similar shape with the outer shape of the substrate 92 is shown; however, the similar treatment is possible with a normal resistant furnace (furnace). In addition, annealing method which is RTA like (instantaneous thermal annealing) such as sheet-feed type can be also used.

[0206] In addition, as a method for introducing nickel as the catalytic element, the method of adding a solution in which nickel salt is dissolved to the surface of the a-Si films 3, 33, and 63 is adopted; however a method of introducing nickel to the surface of the base film before forming the a-Si films 3, 33, and 63 and performing the crystallization by diffusing nickel from the lower layers of the a-Si films 3, 33, and 63. In other words, crystal growth can be performed both from the upper surface side and the bottom surface side of the a-Si films 3, 33, and 63. Also, as a method for introducing nickel, other various methods can be used. For example, there is a method in which SOG (a spin on glass) material is used as a solvent to dissolve nickel salt and is diffused from the silicon oxide films 2, 32, and 62 of the base films. In addition, methods of forming thin films by the sputtering method, the deposition method are, or the plating method, and a method of directly introducing by an ion doping method can

be also used.

[0207] In addition, as mentioned above, as the catalytic metal element to promote the crystallization, besides nickel, a similar effect can be obtained by using cobalt, iron, palladium, platinum, copper, and gold. Moreover, in the first and the second
5 embodiment modes, phosphorus is used to improve the gettering effect of nickel; however nitrogen, arsenic, antimony, and bismuth are used. Of course, as explained earlier, the gettering effect can be also obtained by using the non-doped a-Si film. In addition, in the embodiment mode 3, argon is used to be doped to the second a-Si film
67 which becomes the gettering sink; however a similar effect can be obtained with
10 krypton and xenon. In doing so, in the embodiment mode 3, the argon 68 is added to the a-Si film 67 by an ion doping method; however it is not limited to this introducing method. For example, the a-Si film may be formed by the sputtering which uses a silicon target and argon as the sputtering gas. Even by this method, a large quantity of argon is included in the a-Si film. In addition, in the CVD method, the a-Si film is
15 formed by adding argon as material gas.

[0208] In addition, as the etching stopper when removing the a-Si films 3, 33, and 63 which become the gettering sink, except the silicon oxide films 6, 36, and 66 that are mentioned in the each embodiment mode, other various films such as a silicon nitride film can be used. In addition, with respect to this forming method of the silicon oxide
20 films 6, 36, and 66, besides the thin film oxidation methods which are explained in the each embodiment mode such as the ozone water treatment, and an eximer UV treatment, for instance, formation of a thin film by the CVD, an oxygen plasma treatment, a thermal oxidation method, an sulfuric acid oxidation, and the like may be used without problems.

25 [0209] In addition, in the each embodiment, as a method for promoting the crystallinity of the crystalline silicon films 3a, 33a, and 63a that are crystallized by nickel, the heating method by the irradiation of the eximer laser 5, 35, and 65 that are pulse laser is used however, a similar treatment can be obtained by other lasers such as continuous oscillation Ar laser.

30 [0210] Moreover, as the applications of the each embodiment mode, except the active

matrix type substrate for the liquid crystal display, for example, the contact image sensor, a driver built in type thermal head, and an optical writing element and a display element which have an organic system EL (electro luminescence) or the like as the luminescent element, and a three-dimensional IC are conceivable. In each application, high performance such as high speed and high resolution of the device is realized by applying the each embodiment mode. Moreover, as the semiconductor device formed by the each embodiment mode, it can be applied widely to the semiconductor process in general including the bipolar transistor and electrostatic induction transistor which have the crystalline semiconductor as the element material as well as the MOS type transistor.

[0211]

[Effect of the Invention] It is clear by the foregoing that the first manufacturing method of the first invention is; since the amorphous silicon is formed on the substrate and the catalytic element is added, and the first heat treatment is performed to have the crystallization conducted to obtain the crystalline silicon film, and the second heat treatment is performed under the condition in which the second amorphous silicon film formed on the crystalline silicon film is not completely crystallized to move the catalytic element to the second amorphous silicon film; defect such as the dangling bond in the second amorphous silicon film become the segregation site with respect to the catalytic element, and the catalytic element which is moved from the crystalline silicon film can be effectively trapped.

[0212] As a result, compared to the conventional method which does not perform the heat treatment when the second amorphous silicon film is in a state that it is not crystallized, the amount of the remaining catalytic element in the crystalline silicon film can be reduced to a large extent. Therefore, compared to the conventional method, an abnormality of leak current at off operation of the semiconductor device that has the crystalline silicon film as the active area disappears, and a stable characteristic with little variety and a high reliability can be obtained. Moreover, since it has the stable characteristic with little leak current, a highly integrated high performance semiconductor device can be obtained by a simple manufacturing process. In addition,

in its manufacturing process, the yield can be largely improved and reduction in cost of the product can be achieved.

[0213] In specific, in regard with the liquid crystal display device, improvement of the switching characteristic of the pixel switching TFT that is required to the active matrix substrate and the achievement of high integration and high performance that are required to the TFT which constitute the peripheral drive circuit are both satisfied at the same time; accordingly, a monolithic type active matrix substrate which forms the active matrix portion and the peripheral circuit portion on the same substrate can be realized. Therefore, the module can be made compact, high performance, and low in cost.

[0214] In addition, the method of manufacturing a semiconductor in one embodiment, the second heat treatment is performed under the condition in which there is absolutely no occurrence of the crystal nucleation in the second amorphous silicon film, through the entire period of time that the catalytic element in the crystalline silicon film is moved to the second amorphous silicon film, the maximum gettering site is maintained to the maximum. Therefore, the trap effect of the catalytic element to the segregation site can be obtained.

[0215] Also, in one method for manufacturing the semiconductor device in one embodiment, the second heat treatment is performed at the heating temperature and the heating time that the concentration of the catalytic element in the crystalline silicon film and the concentration of the catalytic element in the second amorphous silicon film are thermal equilibrium of segregation state, when it comes to be in thermal equilibrium state in segregation state, the gettering effect is saturated, and the highest and the most stable gettering effect can be obtained.

[0216] In addition, in one method for manufacturing the semiconductor device in one embodiment performs the second heat treatment at the heating temperature of equal to or more than 450°C and equal to or less than 550°C and for the treating time of equal to or more than 5 minutes to equal to or less than 4 hours; therefore, as shown in FIG. 7, the catalytic element can be getterd only the distance of 100 nm. Therefore, the catalytic element in the crystalline silicon film can be getterd sufficiently to the

direction of the film thickness.

[0217] In addition, in one method for manufacturing the semiconductor device in one embodiment, the heating temperature of the second heat treatment is equal to or more than 480°C and equal to or less than 550°C, and the processing time is equal to or more than 5 minutes and equal to or less than 4 hours; therefore the second heat treatment can be performed even to the glass substrate of 600 mm × 720 mm with the thickness of 0.7 mm which is used for a motherboard of the active matrix substrate for a liquid crystal display is performed without bending by weight.

[0218] In addition, in one method for manufacturing the semiconductor device in one embodiment, since the second heat treatment is performed the temperature is increased and decreased at a temperature increase/decrease rate of 5°C/min, when using the glass substrate, there is no thermal damage by too much heat treatment, and the gettering effect is not lost.

[0219] In addition, in one method for manufacturing the semiconductor device in one embodiment, the second heat treatment is performed using a furnace placed as such that a space between a furnace core tube and the substrate is set equal to or more than 10 mm and equal to or less than 80 mm, and the substrate is faced in the direction of the furnace in the furnace core tube having a cross-sectional shape approximately similar to a plane shape of the substrate; therefore the amount of the ambient gas provided to the above substrate's surface during the second heat treatment can be increased. Thus, a rapid rate of temperature increase and decrease can be realized and a temperature distribution within the substrate is generally stabilized; therefore, a stable treatment without bending or cracking can be realized to even a large glass substrate of meter size.

[0220] In addition, in one method for manufacturing the semiconductor device in one embodiment, since the plane shape of the substrate and the cross-sectional shape of the furnace core tube are rectangular, to the substrate having a rectangular plane shape, the space from the furnace core tube is held ideally, and the rapid rate of temperature increase and decrease required at the second heat treatment is realized, and the temperature distribution within the substrate is generally stabilized.

[0221] In addition, in one method for manufacturing the semiconductor device in one

embodiment, since an element selected from group 5B is added to the second amorphous silicon film, solid solubility of the catalytic element in the second amorphous silicon film can be drastically improved. Thus, in addition to the gettering effect by the trap of above catalytic element to the segregation site, the gettering effect of the catalytic element by a difference of the solid solubility is performed at the same time. In this way, the concentration of the catalytic element in the crystalline silicon film can further be reduced.

[0222] In addition, in one method for manufacturing the semiconductor device in one embodiment, one or more of P, As, and Sb chosen from group 5B are included in the amorphous silicon film. Thus, the catalytic element is efficiently moved, and the sufficient gettering effect can be obtained.

[0223] In addition, in one method for manufacturing the semiconductor device in one embodiment, P from which the highest gettering effect is obtained among the element chosen from the group 5B, is included in the second amorphous silicon film. Thus, further higher gettering effect can be obtained. Therefore, the remaining concentration of the catalytic element can be reduced to the 1/4 of the conventional method in which the heat treatment in a coordination in which the second amorphous silicon film is not crystallized is not performed.

[0224] In addition, in one method for manufacturing the semiconductor device in one embodiment, the second amorphous silicon film including the above mentioned P is formed by plasma CVD method at the deposition temperature of equal to or less than 400°C with at least SiH_4 gas and PH_3 gas as material gas, therefore the micro crystallization of the amorphous silicon film in the case of using an ion doping method does not happen. Therefore, a silicon film which is almost complete amorphous state can be obtained, and at the same time the concentration of the above mentioned phosphorus can be very high, and a sufficient gettering effect can be obtained.

[0225] In addition, in one method for manufacturing the semiconductor device in one embodiment, in addition to P, B is also added to the second amorphous silicon film; therefore, compared to the diffusion transfer gettering which utilizes the difference of the solid solubility of the catalytic element by above mentioned P, the gettering effect to

the defect or the segregation site becomes bigger. In that case, the latter gettering effect has higher gettering ability; therefore a bigger gettering effect can be obtained.

[0226] In addition, in one method for manufacturing the semiconductor device in one embodiment, the second amorphous silicon film which includes above mentioned P and
5 B is formed by plasma CVD method at the deposition temperature of equal to or less than 400°C with at least SiH₄ gas and PH₃ gas as material gas; therefore the concentration of above mentioned P and B can be very high as well as the silicon film of almost complete amorphous state is obtained. Therefore, the sufficient gettering effect can be obtained.

10 [0227] In addition, in one method for manufacturing the semiconductor device in one embodiment, since the second amorphous silicon film includes a rare gas element chosen from Ar, Kr, and Xe, a large distortion among lattice is generated. Thus, the gettering effect caused by defect · segregation site is enabled to work very strongly. Furthermore, since these elements obstruct the crystal growth of the amorphous silicon
15 film and slows the rate of the crystal growth, at the time of the second heat treatment, the second amorphous silicon film is kept in more of the amorphous state. Thus, a bigger gettering effect can be obtained.

[0228] In addition, in one method for manufacturing the semiconductor device in one embodiment, Ar from which the highest gettering effect is obtained among the elements
20 chosen from the Ar, Kr, and Xe is added to in the second amorphous silicon film. Therefore, a higher gettering effect can be obtained.

[0229] In addition, in one method for manufacturing the semiconductor device in one method, the second amorphous silicon film is formed by a plasma CVD method, and after that Ar is added by an ion doping method; therefore, distortion between the lattice
25 becomes bigger and a higher gettering effect can be obtained.

[0230] In addition, in one method for manufacturing the semiconductor device in one embodiment, between the crystalline silicon film and the second amorphous silicon film, the barrier thin film which functions as the etching stopper when removing the second amorphous silicon film is formed; even if the crystalline silicon film of the lower layer
30 and the second amorphous silicon film of the upper layer are of similar silicon materials,

only the second amorphous silicon film can be completely removed leaving the crystalline silicon film.

[0231] In addition, in one method for manufacturing the semiconductor device in one embodiment, the film thickness of the barrier thin film is set to the silicon oxide film of
5 equal to or less than 50 Å, therefore has the sufficient etching selectivity ratio as the etching stopper, and the sufficient gettering effect from the crystalline silicon film to the second amorphous silicon film through the barrier thin film.

[0232] In addition, in one method for manufacturing the semiconductor device in one embodiment, the crystalline silicon film obtained by the first heat treatment is irradiated
10 with the laser light to improve crystallinity of the crystalline silicon film; therefore, the crystal grain portion is processed by strong light and the crystalline silicon of film good quality which is close to the single crystal state can be obtained over the entire substrate.

[0233] In addition, in one method for manufacturing the semiconductor device in one
15 embodiment, the catalytic element which is added to the first amorphous silicon film is one or plural kinds chosen from Ni, Co, Fe, Pd, Pt, Cu, and Au; therefore, sufficient crystallization promoting effect can be obtained with only little amount.

[0234] In addition, in one method for manufacturing the semiconductor device in one embodiment, since Ni which has the highest crystallization promoting effect as the
20 catalytic element is added to the first amorphous silicon film, a higher crystallization promoting effect can be obtained.

[0235] In addition, in one method for manufacturing the semiconductor device in one embodiment, the amount of nickel which is added to the first amorphous silicon film is set to equal to or more than $5 \times 10^{11} \text{cm}^{-2}$ and equal to or less than $5 \times 10^{13} \text{cm}^{-2}$ in
25 measured value of total reflection X-rays fluorometry, sufficient crystal growth can be obtained and also the excessive precipitation of the catalytic element disappears and the sufficient gettering can be performed.

[0236] In addition, the second semiconductor device of the invention is manufactured by the manufacturing method of the first semiconductor device of the invention,
30 compared to the semiconductor device manufactured by the conventional method which

does not perform the heat treatment when the second amorphous silicon film is in a state that it is not completely crystallized, the remaining catalytic element in the crystalline silicon film can be largely reduced, the abnormality of leak current at off operation in the active area disappears, and the high reliability can be obtained.

5 [0237] In addition, in the semiconductor device of the third invention, the crystalline silicon film as the active area includes the catalytic element which promotes the crystallization and has the concentration distribution of the catalytic element to the direction of the film thickness; therefore, the crystalline silicon film is formed as the crystallization is performed by the introduction of the catalytic element and the catalytic
10 element is effectively gettered to the direction of the film thickness. In other words, it is formed by the manufacturing method of the semiconductor device of the first invention.

[0238] Therefore, the remaining catalytic element in the crystalline silicon film can be largely reduced, the abnormality of leak current at off operation disappears, and the
15 stable characteristic with little variety and the high reliability can be obtained.

[0239] In addition, in the semiconductor device of one embodiment, the concentration distribution of the catalytic element is such that it is decreased from the opposite side of the substrate side of the active area toward the surface of the substrate side; therefore the gettering to the direction of the film thickness is effectively performed from the
20 crystalline silicon film to the gettering sink formed over the crystalline silicon film.

[0240] In addition, in the semiconductor device of one embodiment, the catalytic element is solid dissolved among the silicon lattice in the active area and is not precipitated as the silicide; therefore the catalytic element is gettered sufficiently and is largely reduced, and the abnormality of the leak current at off operation which is caused
25 by the precipitation of the catalytic element as the silicide disappears. Therefore, the high reliability can be obtained.

[0241] In addition, in the semiconductor device of one embodiment, since the periphery of the surface of the active area includes Ar element, when the catalytic element is gettered, Ar is doped to the gettering sink formed in the active area of the upper layer,
30 and the effective gettering is performed by Ar. Therefore, drastically low quantity of

the remaining catalytic element can be shown.

[0242] In addition, in the semiconductor device of one embodiment, since the active area includes at least Ni as the catalytic element, when the crystalline silicon film as the active area is formed, Ni which has the highest crystallization promoting effect is added.

5 Therefore, in the active area, the crystallization is performed sufficiently.

[0243] In addition, in the semiconductor device of one embodiment, the average concentration of the catalytic element in the active area is set to equal to or more than $1 \times 10^{15} \text{ cm}^{-3}$ and equal to or less than $1 \times 10^{17} \text{ cm}^{-3}$; therefore an electrical affect given by the catalytic element is not found at all.

10 [Brief Description of the Drawings]

FIG. 1 is a cross sectional drawing showing the abstract of the manufacturing process of the TFT as the semiconductor device of the invention.

FIG. 2 is a cross sectional drawing showing the abstract of the manufacturing process which follows FIG. 1.

15 FIG. 3 is a cross sectional drawing showing the abstract of the manufacturing process of the TFT which is different from FIG. 1.

FIG. 4 is a cross sectional drawing showing the abstract of the manufacturing process which follows FIG. 3.

20 FIG. 5 is a cross sectional drawing showing the abstract of the manufacturing process of the TFT which is different from FIG. 1 and FIG. 3.

FIG. 6 is a cross sectional drawing showing the abstract of the manufacturing process which follows FIG. 5.

FIG. 7 is a drawing showing the relationship between the heating temperature and the gettering time at the second heat treatment.

25 FIG. 8 is a drawing showing the relationship between the etching time and the etching quantity at the etching removal of the surface of the second a-Si film with an alkali solution.

FIG. 9 is a view showing the surface and the cross section of the second a-Si film in which the crystallized area and the amorphous area are mixed before the etching and in the process of etching.

30

FIG. 10 is a conception diagram of the heating device which performs the second heat treatment.

FIG. 11 is a drawing showing the cross sectional shape of the quartz tube and the flow of ambient gas.

- 5 [Explanation of Reference]
 1, 31, and 61 ... glass substrate,
 3, 7, 33, 63, and 67 ... a-Si film,
 3a, 3b, 33a, 33b, 63a, and 63b ... crystalline silicon film,
 3c, 33c, and 63c ... crystalline silicon film of high quality,
 10 4, 34, 64 ... nickel,
 5, 17, 35, 65, and 77 ... laser light,
 6, 36, and 66 ... silicon oxide film,
 8 ... a-Si film which includes phosphorus,
 10, 39n, 39p, and 70 ... active area,
 15 11, 40, and 71 ... gate insulating film,
 12, 41n, 41p, 72 ... gate electrode,
 16, 45n, 45p, and 76 ... channel area,
 18, 48, and 78 ... gate insulating film,
 19 and 79 ... source electrode · wiring,
 20 20 ... pixel electrode,
 37 ... a-Si film which includes phosphorus and boron,
 42 ... phosphorus,
 14, 15, 43n, 44n, 74, and 75 ... N-type impurity area,
 47 ... boron,
 25 43p and 44p ... P-type impurities area,
 49 ... electrode · wiring,
 21, 50, and 81 ... N channel-type TFT,
 51 ... P channel-type TFT
 68 ... argon,
 30 80 ... drain electrode · wiring,

- 91 ... quartz tube (furnace core tube),
- 92 ... substrate,
- 93 ... quartz boat,
- 95 ... home position,
- 5 96 ... annealing zone,
- 99 ... gap,
- 100 ... inert gas.

FIG. 8:

- 10 a) etching amount (\AA)
- a-Si state (500°C , 1 H annealing)
- crystalline Si state
- etching time (second)

FIG. 9:

- 15 before etching
- crystallized area
- a-Si area
- in the process of etching
- etching residue
- 20 b) the second amorphous silicon film
- etching stopper
- crystalline silicon film
- substrate
- a part which is crystallized
- 25 etching stopper
- crystalline silicon film
- substrate

FIG. 7:

- the second heat treatment
- 30 time that is necessary to getter the distance of 100 nm

heating temperature (°C)

Continuation of the front page

F term (reference) 5F052 AA02 AA11 AA17 BA02 BA07

5	BB07 CA02 DA02 DB03 EA15
	EA16 FA06 FA19 JA01
	5F110 AA30 BB02 BB04 BB10 CC02
	DD02 DD13 EE03 EE34 EE44
	FF02 FF30 FF32 FF36 GG02
10	GG13 GG25 GG45 HJ01 HJ04
	HJ12 HJ23 HL01 HL03 HL11
	HM14 NN02 NN23 NN24 NN35
	PP01 PP03 PP05 PP06 PP10
	PP29 PP34 QQ11 QQ23 QQ24
15	QQ28

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2003-68642
(P2003-68642A)

(43) 公開日 平成15年3月7日 (2003.3.7)

(51) Int.Cl. ⁷	識別記号	F I	テマコード* (参考)
H 0 1 L	21/20	H 0 1 L	21/20
	21/322		21/322
	21/336		29/78
	29/786		6 2 7 Z
			6 2 7 G

審査請求 未請求 請求項の数30 O L (全 30 頁)

(21) 出願番号 特願2001-251420 (P2001-251420)

(22) 出願日 平成13年8月22日 (2001.8.22)

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 牧田 直樹

大阪府大阪市阿倍野区長池町22番22号 シ
ャープ株式会社内

(74) 代理人 100062144

弁理士 青山 稜 (外1名)

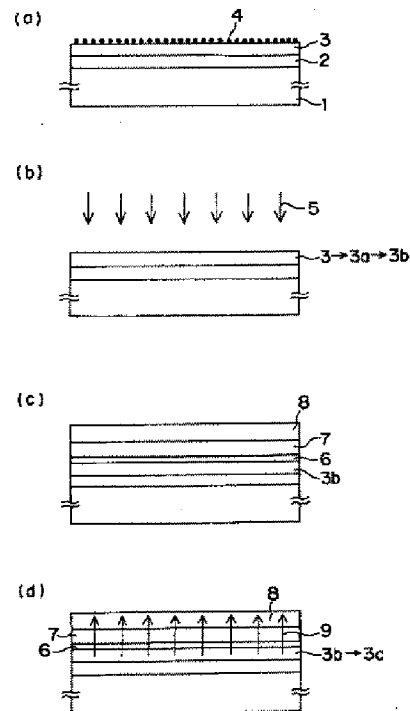
最終頁に続く

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】 ばらつきの少ない安定した特性を有する半導体装置を得る。

【解決手段】 ガラス基板1上に成膜されたa-Si膜3表面上にNi 4を微量添加し、不活性雰囲気下において熱処理を行って結晶性ケイ素膜3aとし、レーザ光5を照射してより高品質な結晶性ケイ素膜3bにする。そして、a-Si膜7とリンを含むa-Si膜8とを形成し、不活性雰囲気下における450℃～550℃の温度で5分～4時間の加熱処理を5℃/分以上の昇温・降温速度で施す。ゲッタリングシンクとなる第2のa-Si膜7、8は非晶質状態のままで保たれ、欠陥が偏析トラップとなって、結晶性ケイ素膜3b中のNi 4の殆どは第2のa-Si膜7、8へ移動し、従来法の約1/4まで残留Ni濃度が低減されて高品質な結晶性ケイ素膜3cが得られる。したがって、結晶性ケイ素膜3cを用いることによって、ばらつきの少ない安定した特性を有する半導体装置が形成できる。



【特許請求の範囲】

【請求項 1】 絶縁表面を有する基板上に第 1 の非晶質ケイ素膜を形成し、上記第 1 の非晶質ケイ素膜に、結晶化を促進するための触媒元素を導入する工程と、第 1 の加熱処理を施して、上記触媒元素が導入された第 1 の非晶質ケイ素膜の結晶成長を行わせて結晶性ケイ素膜とする工程と、上記結晶性ケイ素膜上に、第 2 の非晶質ケイ素膜を形成する工程と、上記第 2 の非晶質ケイ素膜が完全に結晶化しない条件で第 2 の加熱処理を行って、上記結晶性ケイ素膜中の触媒元素を上記第 2 の非晶質ケイ素膜へ移動させる工程と、上記第 2 の非晶質ケイ素膜を除去した後、上記結晶性ケイ素膜を用いて半導体装置の活性領域を形成する工程を含むことを特徴とする半導体装置の製造方法。

【請求項 2】 請求項 1 に記載の半導体装置の製造方法において、上記第 2 の加熱処理は、上記第 2 の非晶質ケイ素膜に全く結晶核が発生しない条件で行うことを特徴とする半導体装置の製造方法。

【請求項 3】 請求項 1 あるいは請求項 2 に記載の半導体装置の製造方法において、上記第 2 の加熱処理は、上記結晶性ケイ素膜中の触媒元素濃度と上記第 2 の非晶質ケイ素膜中の触媒元素濃度とが熱平衡状態の偏析状態となるような加熱温度および加熱時間で行われることを特徴とする半導体装置の製造方法。

【請求項 4】 請求項 1 乃至請求項 3 の何れか一つに記載の半導体装置の製造方法において、上記第 2 の加熱処理は、450℃以上且つ550℃以下の加熱温度および5分以上且つ4時間以下の処理時間で行うことを特徴とする半導体装置の製造方法。

【請求項 5】 請求項 4 に記載の半導体装置の製造方法において、上記加熱温度は480℃以上且つ520℃以下であり、上記処理時間は10分以上且つ2時間以下であることを特徴とする半導体装置の製造方法。

【請求項 6】 請求項 1 乃至請求項 5 の何れか一つに記載の半導体装置の製造方法において、上記第 2 の加熱処理では、5℃/分を上回る昇温速度で加熱処理温度まで昇温し、加熱処理終了後は5℃/分を上回る降温速度で降温することを特徴とする半導体装置の製造方法。

【請求項 7】 請求項 1 乃至請求項 6 の何れか一つに記載の半導体装置の製造方法において、上記第 2 の加熱処理は、基板の平面形状と概略相似形の断面形状を有する炉心管の中に、上記基板が、基板面を炉心方向に向けると共に、炉心管と基板との間のスペースが10mm以上且つ80mm以下になるように配置されるファーンズ炉を用いて行われることを特徴とする半導体

装置の製造方法。

【請求項 8】 請求項 7 に記載の半導体装置の製造方法において、上記基板の平面形状および炉心管の断面形状は矩形状であることを特徴とする半導体装置の製造方法。

【請求項 9】 請求項 1 乃至請求項 8 の何れか一つに記載の半導体装置の製造方法において、上記第 2 の非晶質ケイ素膜は、5 族 B から選ばれた元素を含んでいることを特徴とする半導体装置の製造方法。

【請求項 10】 請求項 9 に記載の半導体装置の製造方法において、上記 5 族 B から選ばれた元素は、リン、ヒ素およびアンチモンのうちの一種または複数種であることを特徴とする半導体装置の製造方法。

【請求項 11】 請求項 10 に記載の半導体装置の製造方法において、上記第 2 の非晶質ケイ素膜は、リンを含んでいることを特徴とする半導体装置の製造方法。

【請求項 12】 請求項 11 に記載の半導体装置の製造方法において、上記第 2 の非晶質ケイ素膜は、少なくともシランガスとホスフィンガスとを材料ガスとして、成膜温度400℃以下でのプラズマ化学気相成長法によって形成されることを特徴とする半導体装置の製造方法。

【請求項 13】 請求項 11 に記載の半導体装置の製造方法において、上記第 2 の非晶質ケイ素膜は、上記リンに加えてホウ素を含んでいることを特徴とする半導体装置の製造方法。

【請求項 14】 請求項 13 に記載の半導体装置の製造方法において、上記第 2 の非晶質ケイ素膜は、少なくともシランガスとホスフィンガスとジボランガスを材料ガスとして、成膜温度400℃以下でのプラズマ化学気相成長法によって形成されることを特徴とする半導体装置の製造方法。

【請求項 15】 請求項 1 乃至請求項 8 の何れか一つに記載の半導体装置の製造方法において、上記第 2 の非晶質ケイ素膜は、アルゴン、クリプトンおよびキセノンから選ばれた希ガス元素を含んでいることを特徴とする半導体装置の製造方法。

【請求項 16】 請求項 15 に記載の半導体装置の製造方法において、上記第 2 の非晶質ケイ素膜は、アルゴンを含んでいることを特徴とする半導体装置の製造方法。

【請求項 17】 請求項 16 に記載の半導体装置の製造方法において、上記第 2 の非晶質ケイ素膜は、プラズマ化学気相成長法によって形成された後に、イオンドーピング法によってアルゴンが導入されることを特徴とする半導体装置の製造方法。

【請求項 18】 請求項 1 乃至請求項 8 の何れか一つに記載の半導体装置の製造方法において、上記結晶性ケイ素膜と第 2 の非晶質ケイ素膜との間に、上記第 2 の非晶質ケイ素膜を除去する際のエッチングストップとして機能するバリア薄膜を形成することを特徴とする半導体装置の製造方法。

【請求項 19】 請求項 18 に記載の半導体装置の製造方法において、上記バリア薄膜は、膜厚 50 Å 以下の酸化ケイ素膜であることを特徴とする半導体装置の製造方法。

【請求項 20】 請求項 1 乃至請求項 8 の何れか一つに記載の半導体装置の製造方法において、上記第 1 の加熱処理によって得られた結晶性ケイ素膜にレーザ光を照射して、上記結晶性ケイ素膜の結晶性を高める工程を含むと共に、上記第 2 の非晶質ケイ素膜は、上記結晶性が高められた結晶性ケイ素膜上に形成されることを特徴とする半導体装置の製造方法。

【請求項 21】 請求項 1 乃至請求項 20 の何れか一つに記載の半導体装置の製造方法において、上記第 1 の非晶質ケイ素膜に導入される触媒元素は、ニッケル、コバルト、鉄、パラジウム、白金、銅および金から選ばれた一種または複数種であることを特徴とする半導体装置の製造方法。

【請求項 22】 請求項 21 に記載の半導体装置の製造方法において、上記第 1 の非晶質ケイ素膜には、結晶化を促進する触媒元素としてニッケルが導入されることを特徴とする半導体装置の製造方法。

【請求項 23】 請求項 1 乃至請求項 22 の何れか一つに記載の半導体装置の製造方法において、上記第 1 の非晶質ケイ素膜に対する触媒元素の導入量は、全反射蛍光 X 線測定値で $5 \times 10^{11} \text{ cm}^{-2}$ 以上且つ $5 \times 10^{13} \text{ cm}^{-2}$ 以下であることを特徴とする半導体装置の製造方法。

【請求項 24】 請求項 1 乃至請求項 23 の何れか一つに記載の半導体装置の製造方法によって作成されたことを特徴とする半導体装置。

【請求項 25】 絶縁表面を有する基板上に形成されると共に、結晶性を有するケイ素膜を活性領域として用いた半導体装置において、上記活性領域は、結晶化を促進するための触媒元素を含むと共に、膜厚方向への上記触媒元素の濃度分布を有していることを特徴とする半導体装置。

【請求項 26】 請求項 25 に記載の半導体装置において、上記触媒元素の濃度分布は、上記活性領域における上記基板側とは反対側の面から上記基板側の面に向かって低下するようになっていることを特徴とする半導体装置。

【請求項 27】 請求項 25 あるいは請求項 26 に記載

の半導体装置において、上記触媒元素は、上記活性領域内におけるシリコン格子間に固溶しており、シリサイドとして析出していないことを特徴とする半導体装置。

【請求項 28】 請求項 25 に記載の半導体装置において、上記活性領域の表面近傍には、アルゴン元素を含んでいることを特徴とする半導体装置。

【請求項 29】 請求項 25 乃至請求項 28 の何れか一つに記載の半導体装置において、上記活性領域には、上記触媒元素として少なくともニッケル元素を含んでいることを特徴とする半導体装置。

【請求項 30】 請求項 25 乃至請求項 29 の何れか一つに記載の半導体装置において、上記活性領域における触媒元素の平均濃度は、 $1 \times 10^{15} \text{ cm}^{-3}$ 以上且つ $1 \times 10^{17} \text{ cm}^{-3}$ 以下であることを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、半導体装置の製造方法に関し、さらに詳しくは、非晶質ケイ素膜を結晶化した結晶性ケイ素膜を活性領域とする半導体装置の製造方法に関する。特に、この発明は、絶縁表面を有する基板上に設けられた薄膜トランジスタ(TFT)を用いた半導体装置に有効であり、アクティブマトリックス型の液晶表示装置、密着型イメージセンサ、三次元 IC (集積回路)等を利用できる。

【0002】

【従来の技術】近年、大型で高解像度の液晶表示装置や高速で高解像度の密着型イメージセンサや三次元 IC 等への実現に向けて、ガラス等の絶縁基板上や絶縁膜上に高性能な半導体素子を形成する試みがなされている。上記各装置に用いられる半導体素子には、薄膜状のケイ素半導体を用いるのが一般的である。薄膜状のケイ素半導体としては、非晶質ケイ素(a-Si (アモルファス・シリコン))半導体からなるものと結晶性を有するケイ素半導体からなるものの 2 つに大別される。

【0003】上記非晶質ケイ素半導体は、作製温度が低く、気相法で比較的容易に作製することが可能で量産性に富むために、最も一般的に用いられている。ところが、導電性等の物性が結晶性を有するケイ素半導体に比べて劣るため、今後より高速特性を得るためには、結晶性を有するケイ素半導体からなる半導体装置の作製方法の確立が強く求められている。

【0004】これら結晶性を有する薄膜状のケイ素半導体を得る方法としては、

- (1) 非晶質の半導体膜を成膜しておき、レーザ光等のエネルギービーム照射によって結晶成長を行わせる。
- (2) 非晶質の半導体膜を成膜しておき、加熱処理によって固相状態で結晶成長を行わせる。

等の方法が知られている。

【0005】一般的には(1)の方法がよく用いられている。この方法においては、溶融固化過程の結晶化現象を利用するために、小粒径ながらも結晶粒内の結晶欠陥は少なく、比較的高品質な結晶性ケイ素膜が得られる。しかしながら、粒界部での欠陥密度は高く、それがキャリアに対して大きなトラップとして働き、半導体装置の性能面から見た場合には十分であるとは言えない。また、光源においても、現在最も一般的に使用されているエキシマレーザを例にとっても、未だ十分な安定性を有するものが得られておらず、半導体素子間の特性ばらつきが問題となっている。

【0006】また、(2)の方法においては、上記(1)の方法と比較すると基板内の均一性や安定性においては有利である。しかしながら、600℃で30時間程の長時間に渡る加熱処理が必要であり、処理時間が長く、スループットが低いという問題がある。さらに、この方法においては、結晶構造が双晶構造となるために、一つの結晶粒は数 μm と比較的大きいのであるが、結晶粒内に多数の双晶欠陥を含み、上記(1)の方法に比べて結晶性は劣る。

【0007】しかしながら、最近、これらの方法の改善策として、非晶質ケイ素膜の結晶化を助長する触媒元素を利用することによって、加熱温度の低温化および処理時間の短縮と結晶性の向上とを図る方法が注目されている。具体的には、非晶質ケイ素膜の表面にニッケル等の金属元素を微量に導入させ、しかる後に加熱を行うものである。この方法においては、金属元素を核とした結晶核発生が早期に起り、その後に上記金属元素が触媒となって結晶成長を助長し、結晶化が急激に進行するのである。さらに、このような方法によって結晶成長した結晶性ケイ素膜は、通常の固相成長法(上記(2)の方法)とは異なり、一つの粒内で結晶欠陥の多い双晶構造ではなく、何本もの柱状結晶ネットワークで構成されており、小さいながらも夫々の柱状結晶内部は略単結晶状態になっている。

【0008】特開平10-223534号公報および特開平10-229048号公報においては、触媒元素によって結晶化されたケイ素に対して、その一部にリン等の5族Bの元素を選択的に導入して加熱処理を行うことによって、5族Bの元素が導入された領域に、触媒元素を移動(ゲッタリング)させるようにしている。更に、これらの公報においては、上記ゲッタリング工程の加熱処理を強光照射により行っている。そして、この強光照射の際の光の加熱効率を高めるために、使用する強光に対して吸収効率の高い膜をさらに積層している。その場合における強光に対する吸収効率の高い膜を、上記特開平10-223534号公報の場合には、5族Bの元素を導入する際の導入マスクと兼用して選択的に設けている。また、上記特開平10-229048号公報の場合

には、5族Bの元素を導入した後に新たに基板全面に対して設けている。

【0009】また、特開平11-31660号公報では、触媒元素によって結晶化されたケイ素膜の表面に熱酸化膜を形成し、その上にリンを高濃度に含有するケイ素膜を設けて熱処理を行うことによって、上層のケイ素膜へと触媒元素を移動させ、下層の結晶性ケイ素膜の触媒元素濃度の低減を図っている。そして、上層のリンを含むケイ素膜を除去して、下層の結晶性ケイ素膜を半導体装置の活性領域として用いるようにしている。

【0010】

【発明が解決しようとする課題】しかしながら、上記特開平10-223534号公報、特開平10-229048号公報および特開平11-31660号公報に開示されているような高品質な結晶性ケイ素膜を得る方法には、以下のような問題がある。

【0011】すなわち、上述したように、触媒元素を導入することによって非晶質ケイ素膜を結晶化するので、加熱温度の低温化や加熱時間の短縮化を図ることができ、結晶化後に得られるケイ素膜の結晶性は他の従来の結晶化方法に比べて明らかに優れてはいる。しかしながら、上記金属類を主とする触媒元素が半導体中に多量に存在していることは、これら半導体を用いた装置の信頼性や電氣的安定性を阻害するものであり、決して好ましいことでない。

【0012】したがって、上記のニッケル等の結晶化を助長する触媒元素は、非晶質ケイ素を結晶化させる際には必要であるが、結晶化したケイ素中には極力含まれないようにすることが望ましい。そのためには、第1に、結晶化に必要な触媒元素の量を極力少なくし、最低限の量で結晶化を行う必要がある。しかしながら、触媒元素の導入量を少なくしていくと、成長状態が非常に不安定化する。このような不安定な状態で作成した結晶性ケイ素膜は、基板内での結晶性のばらつきが非常に大きくなり、半導体装置の活性領域を構成する膜としては、到底使用できない。

【0013】そのため、第2に、上記各公報のように、触媒元素を用いて結晶成長させた後に、触媒元素を移動(ゲッタリング)させることによって、素子領域内の触媒元素を除去あるいは低減するような方法がある。しかしながら、本発明者らが実際に特開平10-223534号公報及び特開平10-229048号公報のような方法を用いて実験を行い、TFT素子を試作したところ、十分な効果が得られていないことが分った。具体的には、上記ゲッタリングと称される工程の後にも触媒元素は多量に存在しており、TFT素子に明らかな悪影響を及ぼしている。特に、ゲッタリング工程後、導入領域を除去してさらに高温での熱処理を行うと、素子領域内に残存している触媒元素が再凝集して、シリサイド状態となって現れる。これは、上述のゲッタリング方法ではま

だ不十分であることの証明である。

【0014】そして、これらの触媒元素がTFTの接合部に存在するとリーク源となり、オフ動作時のリーク電流が非常に増大することになる。実際にTFTを試作してみると、上記特開平10-223534号公報および特開平10-229048号公報の方法では、3%程度の確率でオフ時のリーク電流が非常に大きい不良TFTが出現した。そして、その不良TFTにおける原因を解析すると、チャネル部とドレイン部との接合部に、触媒元素によるシリサイドが存在していることが確認された。

【0015】また、上記特開平11-31660号公報は、活性領域となる結晶性ケイ素膜の上に、全面的にリンを高濃度に含有するケイ素膜を設けて熱処理を行うことによって、上層のケイ素膜へと縦方向(膜厚方向)へと触媒元素を移動させるユニークな方法である。したがって、そのゲッタリング距離(触媒元素の移動すべき距離)は、膜厚分のみであるため、上述した2つの公報(横方向へのゲッタリング)に比べて、距離が短くて済み、高いゲッタリング効果が期待できる。しかしながら、この方法をもってTFTを試作したところ、決してゲッタリング能力は高くはなく、触媒元素濃度の低減については全く十分とは言えないものであった。上述の2つの公報と比べても、同レベルか、寧ろやや劣るものであった。

【0016】以上述べたように、上記従来の3公報に開示されたゲッタリング方法では、素子領域中の触媒元素量を十分に低減することはできない。その結果、高性能な半導体装置は一部確率的に作製できても不良率が高く、また信頼性が非常に悪く、とても量産できるような技術ではない。

【0017】そこで、この発明の目的は、ばらつきの少ない安定した特性を有する集積度の高い高性能な半導体装置を簡便な製造プロセスにて得ることができる半導体装置の製造方法、および、その製造方法で作成された半導体装置を提供することにある。

【0018】

【課題を解決するための手段】上記目的を達成するため、第1の発明の半導体装置の製造方法は、絶縁表面を有する基板上に第1の非晶質ケイ素膜を形成し、上記第1の非晶質ケイ素膜に結晶化を促進するための触媒元素を導入する工程と、第1の加熱処理を施して、上記触媒元素が導入された第1の非晶質ケイ素膜の結晶成長を行わせて結晶性ケイ素膜とする工程と、上記結晶性ケイ素膜上に第2の非晶質ケイ素膜を形成する工程と、上記第2の非晶質ケイ素膜が完全に結晶化しない条件で第2の加熱処理を行って、上記結晶性ケイ素膜中の触媒元素を上記第2の非晶質ケイ素膜へ移動させる工程と、上記第2の非晶質ケイ素膜を除去した後に上記結晶性ケイ素膜を用いて半導体装置の活性領域を形成する工程を含むことを特徴としている。

【0019】上記構成によれば、第1の非晶質ケイ素膜に結晶化を促進する触媒元素が導入され、第1の加熱処理が施されて結晶性ケイ素膜となる。そうした後、上記結晶性ケイ素膜上に第2の非晶質ケイ素膜が形成され、この第2の非晶質ケイ素膜が完全に結晶化しない条件で第2の加熱処理が行われて、上記結晶性ケイ素膜中の触媒元素が上記第2の非晶質ケイ素膜へ移動される。このように、上記第2の非晶質ケイ素膜が完全に結晶化されない条件で加熱処理が行われることによって、上記第2の非晶質ケイ素膜におけるダングリングボンド(不對結合手)等の欠陥が上記触媒元素に対する偏折サイトとなり、上記結晶性ケイ素膜から移動された上記触媒元素がトラップされる。

【0020】その結果、上記第2の非晶質ケイ素膜が結晶化しない状態での加熱処理を行わない従来法に比べて、上記結晶性ケイ素膜における残留触媒元素量が大幅に低減される。したがって、上記従来法に比べて、半導体装置におけるオフ動作時のリーク電流の異常が無くなり、高い信頼性が得られるのである。

【0021】また、1実施例では、上記第1の発明の半導体装置の製造方法において、上記第2の加熱処理は、上記第2の非晶質ケイ素膜に全く結晶核が発生しない条件で行われる。

【0022】この実施例によれば、上記第2の非晶質ケイ素膜に全く結晶核が発生しない条件で上記第2の加熱処理が行われる。こうして、上記結晶性ケイ素膜中の触媒元素が上記第2の非晶質ケイ素膜へ移動される全期間において、最大限のゲッタリング偏析サイトが保持される。したがって、上記偏折サイトへの上記触媒元素のトラップ作用が最大限に引き出されて、最も高いゲッタリング効果が得られる。

【0023】また、1実施例では、上記第1の発明の半導体装置の製造方法において、上記第2の加熱処理は、上記結晶性ケイ素膜中の触媒元素濃度と上記第2の非晶質ケイ素膜中の触媒元素濃度とが熱平衡状態の偏析状態となるような加熱温度および加熱時間で行われる。

【0024】この実施例によれば、熱平衡状態の偏析状態となるような加熱温度および加熱時間で上記第2の加熱処理が行われる。したがって、上記熱平衡状態の偏析状態となった時点でゲッタリング作用は飽和状態となり、最も高く安定したゲッタリング効果が得られる。

【0025】また、1実施例では、上記第1の発明の半導体装置の製造方法において、上記第2の加熱処理は、450℃以上且つ550℃以下の加熱温度および5分以上且つ4時間以下の処理時間で行われる。

【0026】この実施例によれば、図7から分かるように、上記触媒元素が距離100nmだけゲッタリングされる。したがって、上記結晶性ケイ素膜中の触媒元素が、膜の厚さ方向に十分ゲッタリングされることになる。

【0027】また、1実施例では、上記第1の発明の半

導体装置の製造方法において、上記加熱温度は480℃以上且つ520℃以下であり、上記処理時間は10分以上且つ2時間以下である。

【0028】この実施例によれば、液晶表示用のアクティブマトリクス基板のマザーボードに使用される600mm×720mmで厚さ0.7mmのガラス基板であっても、重量によって撓むことなく上記第2の加熱処理が行われる。

【0029】また、1実施例では、上記第1の発明の半導体装置の製造方法において、上記第2の加熱処理では、5℃/分を上回る昇温速度で加熱処理温度まで昇温し、加熱処理終了後は5℃/分を上回る降温速度で降温する。

【0030】この実施例によれば、ガラス基板を用いた場合に、余分な加熱処理による熱的ダメージがなく、且つ、上記ゲッタリング効果が損なわれることもなく、上記第2の加熱処理が行われる。

【0031】また、1実施例では、上記第1の発明の半導体装置の製造方法において、上記第2の加熱処理は、基板の平面形状と概略相似形の断面形状を有する炉心管の中に、上記基板が、基板面を炉心方向に向けると共に、炉心管と基板との間のスペースが10mm以上且つ80mm以下になるように配置されるファーネス炉を用いて行われる。

【0032】この実施例によれば、ファーネス炉における炉心管と基板との間のスペースが10mm以上且つ80mm以下であるため、上記第2の加熱処理時に上記基板表面へ供給される雰囲気ガスの量を増やすことができる。したがって、早い昇降温速度が実現されると共に上記基板内の温度分布が略一定に保たれて、メートルサイズの大

型ガラス基板に対しても割れや反りの無い安定した処理が実現される。

【0033】また、1実施例では、上記第1の発明の半導体装置の製造方法において、上記基板の平面形状および炉心管の断面形状は矩形状である。

【0034】この実施例によれば、矩形の平面形状を有する基板に対して、ファーネス炉における炉心管との間のスペースが最適に保たれて、上記第2の加熱処理時に必要な早い昇降温速度が実現されると共に、上記基板内の温度分布が略一定に保たれる。

【0035】また、1実施例では、上記第1の発明の半導体装置の製造方法において、上記第2の非晶質ケイ素膜は5族Bから選ばれた元素を含んでいる。

【0036】この実施例によれば、上記第2の非晶質ケイ素膜は5族Bから選ばれた元素を含んでいるため、上記第2の非晶質ケイ素膜における触媒元素の固溶度が飛躍的に上る。したがって、上記偏析サイトへの上記触媒元素のトラップによるゲッタリング作用に加えて、上記固溶度の差による触媒元素のゲッタリング作用も同時に行われる。こうして、上記結晶性ケイ素膜における触媒

元素濃度がより低減される。

【0037】また、1実施例では、上記第1の発明の半導体装置の製造方法において、上記5族Bから選ばれた元素は、リン、ヒ素およびアンチモンの中の一種または複数種である。

【0038】この実施例によれば、5族Bから選ばれたP、AsおよびSbの中の一種または複数種が、上記第2の非晶質ケイ素膜に含有される。こうして、上記触媒元素が効率的に移動され、十分なゲッタリング効果が得られる。

【0039】また、1実施例では、上記第1の発明の半導体装置の製造方法において、上記第2の非晶質ケイ素膜はリンを含んでいる。

【0040】この実施例によれば、上記5族Bから選ばれた元素中、最も高いゲッタリング効果が得られるPが上記第2の非晶質ケイ素膜に含まれる。したがって、より高いゲッタリング効果が得られる。

【0041】また、1実施例では、上記第1の発明の半導体装置の製造方法において、上記リンを含んだ第2の非晶質ケイ素膜は、少なくともシランガスとホスフィンガスとを材料ガスとして、成膜温度400℃以下でのプラズマCVD(化学気相成長法)によって形成される。

【0042】上記第2の非晶質ケイ素膜にリンを含有させる場合にイオンドーピング法を用いた場合には、上記基板が高温になって非晶質ケイ素膜が微結晶化される。その場合には、上述したようなゲッタリング効果が小さくなってしまふ。この実施例によれば、少なくともSiH₄ガスとPH₃ガスとを材料ガスとした成膜温度400℃以下でのプラズマCVD法によって形成されるので、略完全な非晶質状態のケイ素膜が得られると共に、上記リンの濃度も非常に高濃度になる。そのため、上記触媒元素のゲッタリング効果が損なわれることは無いのである。

【0043】また、1実施例では、上記第1の発明の半導体装置の製造方法において、上記第2の非晶質ケイ素膜は、上記リンに加えてホウ素を含んでいる。

【0044】この実施例によれば、上記第2の非晶質ケイ素膜にホウ素を含ませることによって、上記第2の非晶質ケイ素膜で触媒元素が析出し易くなる。その結果、リンによる触媒元素の固溶度の差を利用した拡散移動型ゲッタリング作用よりも、欠陥あるいは偏析サイトへのゲッタリング作用の方が優勢になる。その場合、後者のゲッタリング作用の方がゲッタリング能力が高いため、より大きな触媒元素のゲッタリング効果が得られる。

【0045】また、1実施例では、上記第1の発明の半導体装置の製造方法において、上記リンおよびホウ素を含んだ第2の非晶質ケイ素膜は、少なくともシランガスとホスフィンガスとジボランガスを材料ガスとして、成膜温度400℃以下でのプラズマCVD法によって形成される。

【0046】この実施例によれば、少なくとも SiH_4 ガスと PH_3 ガスと B_2H_6 ガスを材料ガスとした成膜温度 400°C 以下でのプラズマCVD法によって上記リン及びホウ素を含んだ第2の非晶質ケイ素膜が形成されるので、略完全な非晶質状態のケイ素膜が得られると共に、上記リンおよびホウ素の濃度も非常に高濃度になる。そのため、上記触媒元素のゲッタリング効果が損なわれることは無い。

【0047】また、1実施例では、上記第1の発明の半導体装置の製造方法において、上記第2の非晶質ケイ素膜は、アルゴン、クリプトンおよびキセノンから選ばれた希ガス元素を含んでいる。

【0048】この実施例によれば、上記第2の非晶質ケイ素膜にはAr、KrおよびXeから選ばれた希ガス元素が含有されるため、大きな格子間歪みが生じる。したがって、上記欠陥・偏析サイトによるゲッタリング作用が、非常に強力に働くことができるようになる。しかも、これらの元素は上記第2の非晶質ケイ素膜の結晶成長を阻害して結晶成長速度を遅らせるために、上記第2の加熱処理時において、上記第2の非晶質ケイ素膜はより非晶質状態のままで保たれる。こうして、より大きなゲッタリング作用が得られるのである。

【0049】また、1実施例では、上記第1の発明の半導体装置の製造方法において、上記第2の非晶質ケイ素膜はアルゴンを含んでいる。

【0050】この実施例によれば、上記Ar、KrおよびXeから選ばれた元素中、最も高いゲッタリング効果が得られるArが上記第2の非晶質ケイ素膜に含まれる。したがって、より高いゲッタリング効果が得られる。

【0051】また、1実施例では、上記第1の発明の半導体装置の製造方法において、上記第2の非晶質ケイ素膜は、プラズマCVD法によって形成された後、イオンドーピング法によってアルゴンが導入される。

【0052】この実施例によれば、上記第2の非晶質ケイ素膜が先に形成された後、ドーピング法によってAr元素が導入されることで、上記第2の非晶質ケイ素膜の格子間歪みがより大きくなり、より高いゲッタリング効果が得られる。また、その場合のドーピングの材料ガスは希ガスであり、純度100%であるので、ドーピングのスループットが非常に高い。

【0053】また、1実施例では、上記第1の発明の半導体装置の製造方法において、上記結晶性ケイ素膜と第2の非晶質ケイ素膜との間に、上記第2の非晶質ケイ素膜を除去する際のエッチングストップとして機能するバリア薄膜を形成する。

【0054】下層の上記結晶性ケイ素膜と上層の上記第2の非晶質ケイ素膜とは同様のケイ素膜系材料であるので、100%近いエッチング選択比をもった選択エッチングは不可能である。この実施例によれば、活性領域となる結晶性ケイ素膜と第2の非晶質ケイ素膜との間に、

上記触媒元素をトラップした第2の非晶質ケイ素膜を除去する際のエッチングストップとなるバリア薄膜が形成されているので、上記下層の結晶性ケイ素膜を残して上記上層の第2の非晶質ケイ素膜のみが完全に除去される。

【0055】また、1実施例では、上記第1の発明の半導体装置の製造方法において、上記バリア薄膜は、膜厚 50Å 以下の酸化ケイ素膜である。

【0056】この実施例によれば、上記バリア薄膜として膜厚 50Å 以下の酸化ケイ素膜が用いられているため、エッチングストップとして十分なエッチング選択比を有している。更には、上記バリア薄膜を通して、下層の結晶性ケイ素膜から上層の第2の非晶質ケイ素膜への触媒元素の移動が行われ、十分なゲッタリング効果が得られる。

【0057】また、1実施例では、上記第1の発明の半導体装置の製造方法において、上記第1の加熱処理によって得られた結晶性ケイ素膜にレーザ光を照射して、上記結晶性ケイ素膜の結晶性を高める工程を含むと共に、上記第2の非晶質ケイ素膜は、上記結晶性が高められた結晶性ケイ素膜上に形成される。

【0058】この実施例によれば、上記第1の加熱処理によって得られた結晶性ケイ素膜にレーザ光が照射されて、結晶性ケイ素膜と非晶質ケイ素膜との融点の相違から結晶粒界部や微小な残留非晶質領域(未結晶化領域)が集中的に処理される。その場合、触媒元素を導入して結晶化された上記結晶性ケイ素膜は柱状結晶で形成されており、その内部は単結晶状態である。そのため、強光の照射によって結晶粒界部が処理されると、基板全面に亘って単結晶状態に近い良質の結晶性ケイ素膜が得られる。こうして、上記結晶性ケイ素膜の結晶性が高められる。

【0059】また、1実施例では、上記第1の発明の半導体装置の製造方法において、上記第1の非晶質ケイ素膜に導入される触媒元素は、ニッケル、コバルト、鉄、パラジウム、白金、銅および金から選ばれた一種または複数種である。

【0060】この実施例によれば、Ni、Co、Fe、Pd、Pt、CuおよびAuから選ばれた一種または複数種の触媒元素が、上記第1の非晶質ケイ素膜に導入される。こうして、微量で十分な結晶化助長の効果が得られる。

【0061】また、1実施例では、上記第1の発明の半導体装置の製造方法において、上記第1の非晶質ケイ素膜には、結晶化を促進する触媒元素としてニッケルが導入される。

【0062】この実施例によれば、上記触媒元素として最も高い結晶化促進性を呈するNiが、上記第1の非晶質ケイ素膜に導入される。したがって、より高い結晶化助長の効果が得られる。

【0063】また、1実施例では、上記第1の発明の半

導体装置の製造方法において、上記第1の非晶質ケイ素膜に対する触媒元素の導入量は、全反射蛍光X線測定値で $5 \times 10^{11} \text{ cm}^{-2}$ 以上且つ $5 \times 10^{13} \text{ cm}^{-2}$ 以下である。

【0064】この実施例によれば、上記第1の非晶質ケイ素膜に対する触媒元素の導入量は $5 \times 10^{11} \text{ cm}^{-2}$ 以上である。したがって、十分な結晶成長が引き起こされる。また、上記触媒元素の導入量は $5 \times 10^{13} \text{ cm}^{-2}$ 以下である。したがって、結晶成長に寄与しない過剰な触媒元素が析出することが無く、後のゲッタリング工程においても十分なゲッタリングが行われる。

【0065】また、第2の発明の半導体装置は、上記第1の発明の半導体装置の製造方法によって作成されたことを特徴としている。

【0066】上記構成によれば、上記第2の非晶質ケイ素膜が完全に結晶化されない条件で加熱処理が行われることによって、上記第2の非晶質ケイ素膜における欠陥が偏折サイトとなって、上記結晶性ケイ素膜から移動された上記触媒元素がトラップされる。したがって、上記第2の非晶質ケイ素膜が結晶化しない状態での加熱処理を行わない従来法に比べて、活性領域における残留触媒元素量が大幅に低減されて、半導体装置におけるオフ動作時のリーク電流の異常が無くなり、高い信頼性が得られる。

【0067】また、第3の発明は、絶縁表面を有する基板上に形成されると共に、結晶性を有するケイ素膜を活性領域として用いた半導体装置において、上記活性領域は、結晶化を促進するための触媒元素を含むと共に、膜厚方向への上記触媒元素の濃度分布を有していることを特徴としている。

【0068】上記構成によれば、活性領域としての結晶性ケイ素膜には、結晶化を促進するための触媒元素が含まれると共に、膜厚方向への濃度分布を有している。このことは、上記結晶性ケイ素膜は、非晶質ケイ素膜に触媒元素が導入されて加熱によって結晶成長が行われて得られ、その後、上記触媒元素が膜厚方向の効率よくゲッタリングされたことの証である。つまり、上記第1の発明の半導体装置の製造方法によって作成されたことを意味する。

【0069】したがって、上記結晶性ケイ素膜における残留触媒元素量が大幅に低減されており、オフ動作時のリーク電流の異常が無くなり、高い信頼性が得られる。

【0070】また、1実施例では、上記第3の発明の半導体装置において、上記触媒元素の濃度分布は、上記活性領域における上記基板側とは反対側の面から上記基板側の面に向かって低下するようになっている。

【0071】この実施例によれば、上記触媒元素の膜厚方向へのゲッタリングは、上記結晶性ケイ素膜から、この結晶性ケイ素膜上に形成されたゲッタリングシンクに向かって効率良く行われている。

【0072】また、1実施例では、上記第3の発明の半

導体装置において、上記触媒元素は上記活性領域内におけるシリコン格子間に固溶しており、シリサイドとして析出していない。

【0073】この実施例によれば、上記触媒元素によって非晶質ケイ素膜の結晶成長が行われたにも拘らず、結晶成長の後に十分にゲッタリングが行われており、上記活性領域としての結晶性ケイ素膜における残留触媒元素量が大幅に低減されている。特に、上記触媒元素がシリサイドとして析出することに起因するオフ動作時のリーク電流の異常が無くなり、高い信頼性が得られる。

【0074】また、1実施例では、上記第3の発明の半導体装置において、上記活性領域の表面近傍にはアルゴン元素を含んでいる。

【0075】この実施例によれば、上記活性領域の表面近傍にAr元素が含まれており、上記触媒元素がゲッタリングされる際に、上記活性領域の上層に形成されたゲッタリングシンクにArがドーピングされたことを表わしている。したがって、上記活性領域に対して、Arによる効果的なゲッタリングが行われており、残留触媒元素量が大幅に低減されている。

【0076】また、1実施例では、上記第3の発明の半導体装置において、上記活性領域には、上記触媒元素として少なくともニッケル元素を含んでいる。

【0077】この実施例によれば、上記活性領域としての結晶性ケイ素膜が形成されるに際して、非晶質ケイ素膜に最も高い結晶化促進性を呈するNiが導入されて結晶成長が行われている。こうして、上記活性領域の十分な結晶成長が引き起こされている。

【0078】また、1実施例では、上記第3の発明の半導体装置において、上記活性領域の触媒元素の平均濃度は、 $1 \times 10^{15} \text{ cm}^{-3}$ 以上且つ $1 \times 10^{17} \text{ cm}^{-3}$ 以下である。

【0079】この実施例によれば、上記活性領域中の触媒元素濃度が $1 \times 10^{17} \text{ cm}^{-3}$ 以下であるため、上記触媒元素が素子特性に及ぼす電氣的な悪影響は全く見られない。

【0080】

【発明の実施の形態】以下、この発明を図示の実施の形態により詳細に説明する。

<第1実施の形態>本実施の形態においては、ガラス基板上にN型TFTを作製する際の工程にこの発明を適用した場合について説明する。本実施の形態におけるTFTは、アクティブマトリックス型の液晶表示装置のドライバ回路や画素部分は勿論のこと、薄膜集積回路を構成する素子としても利用することができる。

【0081】図1及び図2は、本実施の形態におけるTFTの製造工程の概要を示す断面図であり、図1(a)から図2(g)の順に従ってTFTの作製工程が進行する。先ず、図1(a)に示すように、ガラス基板1上に、例えばプラズマCVD法によって、厚さ300nm～500nm

程度の酸化ケイ素 2 からなる下地膜を形成する。この酸化ケイ素膜 2 は、ガラス基板 1 からの不純物の拡散を防ぐために設けられる。次に、プラズマ CVD 法によって、厚さ 20 nm ~ 80 nm (例えば 40 nm) の真性 (I 型) の非晶質ケイ素膜 (a-Si 膜) 3 を成膜する。本実施の形態においては、平行平板式のプラズマ CVD 装置を用い、シラン (SiH_4) ガスと H_2 ガスとを材料ガスとして用い、基板加熱温度を 300 °C とし、RF (高周波) パワーのパワー密度を $10 \text{ mW/cm}^2 \sim 200 \text{ mW/cm}^2$ (例えば 80 mW/cm^2) として成膜した。

【0082】次に、上記 a-Si 膜 3 の表面上にニッケル 4 の微量添加を行う。このニッケル 4 の微量添加は、ニッケル 4 を溶かした溶液を a-Si 膜 3 上に保持し、スピナーによって溶液を a-Si 膜 3 上に均一に延ばして乾燥させることによって行う。本実施の形態においては、溶質としては酢酸ニッケルを用い、溶媒としては水を用い、溶液中のニッケル濃度が 10 ppm となるようにした。このようにして a-Si 膜 3 の表面上に添加されたニッケル 4 の濃度を、全反射蛍光 X 線分析 (TRXR F) 法によって測定すると、 $7 \sim 10^{12} \text{ atoms/cm}^2$ 程度であつた。

【0083】さらに、これを、例えば窒素雰囲気等の不活性雰囲気下において加熱処理を行う。この加熱処理においては、昇温中に a-Si 膜 3 中の水素離脱を行う第 1 ステップの熱処理を行い、その後さらに高温での第 2 ステップの熱処理によって a-Si 膜 3 の結晶化を行う。具体的には、第 1 ステップの加熱処理として 450 °C ~ 520 °C で 1 時間 ~ 2 時間のアニール処理を行い、第 2 ステップの加熱処理としては 520 °C ~ 570 °C で 2 時間 ~ 8 時間のアニール処理を行う。本実施の形態においては、一例として 500 °C にて 1 時間の第 1 ステップの熱処理を行った後、550 °C で 4 時間の第 2 ステップの熱処理を行った。この加熱処理によって、a-Si 膜 3 の表面に添加されたニッケル 4 が a-Si 膜 3 中に拡散すると共にシリサイド化が起こり、それを核として a-Si 膜 3 の結晶化が進行する。その結果、図 1 (b) に示すように、a-Si 膜 3 は結晶化され、結晶性ケイ素膜 3a となる。

【0084】次に、図 1 (b) に示すように、レーザ光 5 を照射することによって結晶性ケイ素膜 3a を再結晶化して、その結晶性を向上させる。このときのレーザ光 5 としては、XeCl エキシマレーザ (波長 308 nm、パルス幅 40 nsec) を用いた。レーザ光の照射条件は、照射時に半導体積層体を 200 °C ~ 450 °C (例えば 400 °C) に加熱し、エネルギー密度 $250 \text{ mJ/cm}^2 \sim 450 \text{ mJ/cm}^2$ (例えば 350 mJ/cm^2) で照射した。ビームサイズは、ガラス基板 1 の表面で 150 mm ~ 1 mm の長尺形状となるように成型されており、長尺方向に対して垂直方向に 0.05 mm のステップ幅で順次走査を行った。すなわち、結晶性ケイ素膜 3a の任意の一点において計 20

回のレーザ照射が行われることになる。このようにして、固相結晶化によって得られた結晶性ケイ素膜 3a は、レーザ照射による熔融固化過程によって結晶欠陥が低減され、より高品質な結晶性ケイ素膜 3b となる。

【0085】次に、図 1 (c) に示すように、上記結晶性ケイ素膜 3b 表面を薄膜酸化することで、エッチングストップとなる酸化ケイ素膜 6 を形成する。酸化ケイ素膜 6 の形成は、結晶性ケイ素膜 3b 表面にオゾン水を保持することで行う。その場合におけるオゾン水中のオゾン濃度は 5 mg/l 以上であることが望ましく、本実施の形態においては 8 mg/l とした。結晶性ケイ素膜 3b 表面におけるオゾン水の保持時間は 1 分である。より緻密な酸化ケイ素膜 6 を形成する場合には、上記オゾン水処理の前に、結晶性ケイ素膜 3b 表面の自然酸化膜を除去しておくことが望ましく、本実施の場合においてもオゾン水処理の前にフッ酸洗浄を行い、活性なケイ素膜表面を露出させてからオゾン水による処理を行った。このようにして形成された酸化ケイ素膜 6 の膜厚を分光エリプソによって測定したところ、約 30 Å であつた。

【0086】次に、上記酸化ケイ素膜 6 を覆うように、プラズマ CVD 法によって、ノンドープの (イントリンシックな) a-Si 膜 7 とリンを含む a-Si 膜 8 との 2 層を形成する。本実施の形態においては、マルチチャンバのプラズマ CVD 装置を用いて、大気中に出すことなく、上記 2 層 7, 8 を連続して形成した。この場合、下層の a-Si 膜 7 は、ニッケル 4 に対するゲッタリングシンクであることに加えて、上層のリンを含む a-Si 膜 8 から活性層のケイ素膜 3b へのリンの拡散・汚染を防止するためのバッファ層の役割も担っている。この場合における a-Si 膜 7 の成膜には、基板加熱温度を 350 °C とし、 SiH_4 ガスと H_2 ガスとを材料ガスに用いている。一方、リンを含んだ a-Si 膜 8 の形成は、 SiH_4 とフォスフィン (PH_3) とを材料ガスとして用いる。その際に、a-Si 膜 8 中のリン濃度は、フォスフィンガスの流量比で任意に変更することが可能である。本実施の形態においては、 PH_3/SiH_4 流量比を 3/100 とした。このときの a-Si 膜 8 中のリン濃度は 1% 程度である。

【0087】そして、この状態で、例えば窒素雰囲気等の不活性雰囲気下において加熱処理を施す。この場合における処理温度および処理時間は、450 °C ~ 550 °C の温度で 5 分 ~ 4 時間、より好ましくは 480 °C ~ 520 °C の温度で 10 分 ~ 2 時間である。また、上記処理温度までの昇温速度および処理温度からの降温速度は、少なくとも 5 °C/分以上で行うことが望ましい。本実施の形態においては、加熱温度 500 °C で 1 時間の処理を行った。その際に、基板を 200 °C 程度で余熱した状態から 500 °C まで 30 分で (昇温速度 10 °C/分) 昇温し、処理後 500 °C から 200 °C まで同様に 30 分で降温した。

【0088】この加熱処理において、ゲッタリングシンクとなる第2の非晶質ケイ素膜7, 8には結晶核の発生が起こらず、全く結晶化しない状態(非晶質状態)のままでは保たれる。したがって、ゲッタリング効果を最大限に引き出すことができるのである。また、本実施の形態では、上記ガラス基板1として、320mm×400mmで厚さ0.7mmのコーニング社コード1737のノンアニール品ガラス基板を用いたが、この加熱処理による反りや撓みや割れ等は勿論生じなかった。さらに、メートルサイズの大型ガラス基板の場合でも、本実施の形態のよう

な加熱処理であれば、問題なく使用可能であることを確認している。

【0089】本実施の形態においては、上記加熱処理を、図10に示すような、基板の平面形状と概略相似形の断面形状をもつ炉心管91の中に、基板面を炉心方向に向けると共に、炉心管91と基板とをその間のスペースが最小になるように配置したファーンズ炉を用いて行った。炉心管91は、ガラス基板1のサイズ320mm×400mmより一回り大きな矩形形状をもつ断面で構成されており、その内側のサイズは400mm×480mmである。基板92のチャージ枚数は20枚であり、20枚の基板92が同時処理される。そして、窒素ガスが炉心管91の上方から供給されて、基板92間へと拡散して、各基板92を面内均一に加熱することが可能になっている。

【0090】図10において、石英チューブ(炉心管)91は500℃で加熱されており、チューブ91下のホームポジション95において、基板92をチャージしたポート93が200℃に予熱されている。そして、矢印(A)で示すようにポート93がチューブ91内へ入って行くと共に昇温され、ポート93全体が完全にアニールゾーン96に入ると基板92の熱処理がスタートするのである。降温は、逆に、ポート93を予熱ゾーンであるホームポジション95に降ろすことによって行われる。

【0091】このようなファーンズ炉を用いることによって、早い昇降温速度を実現できると共に、その場合における基板内の温度分布を略一定に保つことができる。したがって、メートルサイズの大型ガラス基板に対しても、割れや反りの無い安定した処理が実現可能なのである。

【0092】上述のような熱処理によって、上記a-Si膜7およびリンを含むa-Si膜8は全く結晶化されず、その欠陥がニッケルに対する偏析トラップとなっており、下層の結晶性ケイ素膜3b中のニッケル4が、図1(d)に矢印9で示すように上方向に向かって引き出される。その際に、リンを含むa-Si膜8においては、リンによるニッケルのゲッタリング効果も加わって、より強烈なゲッタリングシンクとして作用する。このときニッケル4は薄膜の酸化ケイ素膜6を通過して移動するのであるが、本実施の形態のような膜厚の酸化ケイ素膜6

では、その移動の妨げとはならない。

【0093】その結果、上記結晶性ケイ素膜3b中のニッケル4の殆どは、上層のa-Si膜7およびリンを含むa-Si膜8へ移動し、これらの膜7, 8でのニッケル濃度が高くなる。逆に、下層の結晶性ケイ素膜3bのニッケル濃度は大幅に低減され、ニッケル濃度の低い高品質な結晶性ケイ素膜3cが得られるのである。上述した500℃で1時間の加熱処理においては、結晶性ケイ素膜3c中のニッケル濃度とゲッタリングシンクである上層のa-Si膜7およびリンを含むa-Si膜8中のニッケル濃度とは、熱平衡状態の偏析状態となっている。すなわち、これ以上処理時間を延ばしてもニッケル4の移動は生じない状態である。

【0094】この状態における実際の結晶性ケイ素膜3c中のニッケル濃度を二次イオン質量分析法(SIMS)により測定したところ、 5×10^{16} atoms/cm³程度にまで低減されていた。ちなみに、本実施の形態のようにゲッタリングシンクのa-Si膜7, 8を結晶化させないような加熱処理を行うことの無い従来法によるニッケル濃度は、 2×10^{17} atoms/cm³程度である。尚、この熱処理工程前における結晶性ケイ素膜3bの膜中ニッケル濃度は 1×10^{18} atoms/cm³程度であり、上記熱処理によって約1/20まで(上記従来法の1/4まで)残留ニッケル濃度を低減することができるのである。また、この段階で結晶性ケイ素膜3cに残っているニッケル4は、シリサイド状態では無く固溶した状態で存在しているため、TFTの電気特性上問題とならないのである。

【0095】次に、上述したようにニッケル4をゲッタリングしてニッケル濃度が高くなったa-Si膜7とリンを含むa-Si膜8とを、全面的にエッチングすることによって除去する。その場合におけるエッチングとしては、下層の酸化ケイ素膜6がエッチングストップとして十分作用するように、酸化ケイ素膜と十分エッチング選択比のあるエッチャントが用いられる。本実施の形態の場合には、現像液のような強アルカリ溶液を用いた。そして、a-Si膜7, 8を除去した後、酸化ケイ素膜6をエッチング除去する。その場合のエッチャントとしては、十分に下層のケイ素膜3cと選択性のある1:100バッファードフッ酸(BHF)を用い、ウェットエッチングによって行った。

【0096】その後、上記結晶性ケイ素膜3cにおける不要な部分を除去して素子間分離を行う。すなわち、この工程によって、図2(e)に示すように、後にTFTの活性領域(ソース・ドレイン領域およびチャネル領域)となる島状の結晶性ケイ素膜10が形成される。

【0097】次に、図2(f)に示すように、上記活性領域となる結晶性ケイ素膜10を覆って、厚さ20nm〜150nm(ここでは100nm)の酸化ケイ素膜をゲート絶縁膜11として成膜する。上記酸化ケイ素膜の形成は、ここではTEOS(テトラ・エトキシ・オルソ・シリケート)

を原料とし、酸素と共に基板温度150℃～600℃(好ましくは300℃～450℃)で、RFプラズマCVD法で分解・堆積して行った。あるいは、上記TEOSを原料としてオゾンガスと共に減圧CVD法もしくは常圧CVD法によって、基板温度を350℃～600℃(好ましくは400℃～550℃)で形成しても差し支えない。ゲート絶縁膜11の成膜後、ゲート絶縁膜11自身のバルク特性および結晶性ケイ素膜/ゲート絶縁膜の界面特性を向上するために、不活性ガス雰囲気下で500℃～600℃で1時間～4時間のアニールを行う。

【0098】引き続き、スパッタリング法によって、厚さ400nm～800nm(例えば600nm)のアルミニウムを成膜する。そして、アルミニウム膜をパターンニングしてゲート電極12を形成する。さらに、このアルミニウムの電極の表面を陽極酸化して表面に酸化物層13を形成する。この状態が図2(f)に相当する。尚、本TFTをアクティブマトリクス基板の画素TFTとする場合には、ゲート電極12は、平面的にはゲートバスラインを同時に構成することになる。上記陽極酸化は、酒石酸が1%～5%含まれたエチレングリコール溶液中で行い、最初一定電流で220Vまで電圧を上げ、その状態を1時間保持して終了させる。得られた酸化物層13の厚さは200nmである。尚、この酸化物層13は、後のイオンドーピング工程において、オフセットゲート領域を形成する厚さになるので、オフセットゲート領域の長さを上記陽極酸化工程で決めることができる。

【0099】次に、イオンドーピング法によって、上記ゲート電極12とその周囲の酸化物層13とをマスクとして上記活性領域に不純物(リン)を注入する。ドーピングガスとしてフォスフィン(PH₃)を用い、加速電圧を60kV～90kV(例えば80kV)、ドーズ量を1～10¹⁵cm⁻²～8～10¹⁵cm⁻²(例えば2～10¹⁵cm⁻²)とする。この工程によって、不純物が注入された領域14と領域15とは後にTFTのソース・ドレイン領域となり、ゲート電極12およびその周囲の酸化物層13にマスクされて不純物が注入されない領域16は、後にTFTのチャネル領域となる。

【0100】その後、図2(f)に示すように、レーザ光17を照射してアニールを行い、イオン注入した不純物の活性化を行うと同時に、上述した不純物導入工程で結晶性が劣化した部分の結晶性を改善させる。その際に、使用するレーザとしてはXeClエキシマレーザ(波長308nm、パルス幅40nsec)を用い、エネルギー密度150mJ/cm²～400mJ/cm²(好ましくは200mJ/cm²～250mJ/cm²)で照射を行う。このようにして形成されたN型不純物(リン)領域14、15のシート抵抗は、200Ω/□～500Ω/□である。

【0101】続いて、図2(g)に示すように、厚さ600nm程度の酸化ケイ素膜あるいは窒化ケイ素膜等の層間絶縁膜18を形成する。尚、上記酸化ケイ素膜を用いる

場合には、TEOSを原料として、上記TEOSと酸素とのプラズマCVD法、若しくは、オゾンとの減圧CVD法や常圧CVD法によって形成すれば、段差被覆性に優れた良好な層間絶縁膜が得られる。また、SiH₄とNH₃とを原料ガスとしてプラズマCVD法で成膜された窒化ケイ素膜を用いれば、活性領域/ゲート絶縁膜の界面へ水素原子を供給し、TFT特性を劣化させる不對結合手を低減する効果がある。

【0102】次に、上記層間絶縁膜18にコンタクトホールを形成して、金属材料(例えば窒化チタンとアルミニウムとの二層膜)によってTFTのソース電極・配線19を形成する。窒化チタン膜は、アルミニウムが半導体層に拡散するのを防止するのを目的としたバリア膜として設けられる。本TFT21を画素TFTとして用いる場合には、画素電極をスイッチングする素子であるので、もう一方のドレイン電極にはITO(インジウム錫酸化物)等の透明導電膜からなる画素電極20を設ける。この場合、ソース電極・配線19はソースバスラインの一部を構成することになる。そして、このソースバスラインを介してビデオ信号が供給され、ゲートバスラインおよびゲート電極12からのゲート信号に基づいて画素電極20に必要な電荷が書き込まれる。そして最後に、1気圧の水素雰囲気下において、350℃で1時間のアニールを行い、図2(g)に示すTFT21を完成させる。さらに、必要に応じて、TFT21を保護する目的で、TFT21上に窒化ケイ素膜等からなる保護膜を設けてもよい。

【0103】本実施の形態に従って作製したTFTは、電界効果移動度が250cm²/Vs程度、閾値電圧が1.5V程度と非常に高性能であるにも拘らず、触媒元素を用いて作成した従来のTFTに頻繁に見られたTFTオフ動作時のリーク電流の異常な増大が全く無く、単位W当たり1pA以下と非常に低い値を安定して示した。このリーク電流の値は、触媒元素を用いずに作成した従来のTFTと比べても全く遜色が無いものであり、製造歩留まりを大きく向上することができる。

【0104】また、繰り返し測定やバイアスや温度ストレスによる耐久性試験を行っても殆どTFTの特性劣化は見られず、従来のTFTと比べて非常に信頼性が高い。そして、本実施の形態に基づいて作製された液晶表示用アクティブマトリクス基板を実際に点灯評価したところ、触媒元素を用いて作成した従来のTFTを用いたものに比べて表示斑が明らかに少なく、TFTリークによる画素欠陥も極めて少なく、コントラスト比の高い高表示品位の液晶パネルを得ることができた。

【0105】上述のごとく、本実施の形態においては、ガラス基板1上にa-Si膜3を成膜し、a-Si膜3の表面上にニッケル4を7～10¹²atoms/cm²程度添加する。そして、不活性雰囲気下において、昇温中にa-Si膜3中の水素離脱を行う第1ステップの熱処理と、更

に高温での第2ステップの熱処理とによってa-Si膜3の結晶化を行って、結晶性ケイ素膜3aを得る。

【0106】次に、上記レーザ光5を照射して、固相結晶化によって得られた結晶性ケイ素膜3aを熔融固化させることによって結晶欠陥を低減し、より高品質な結晶性ケイ素膜3bにする。そして、ノンドープのa-Si膜7とリンを含むa-Si膜8とを形成して、不活性雰囲気下における450℃～550℃の温度で5分～4時間の加熱処理を、5℃/分以上の昇温・降温速度で施す。この加熱処理によって、ゲッタリングシンクとなる第2の非晶質ケイ素膜7, 8には結晶核の発生が起こらず、全く結晶化しない状態(非晶質状態)のままで保たれる。したがって、ゲッタリング効果を最大限に引き出すことができるのである。

【0107】このような熱処理によって、上記a-Si膜7およびリンを含むa-Si膜8は全く結晶化されず、その欠陥がニッケルに対する偏析トラップとなつて、下層の結晶性ケイ素膜3b中のニッケル4が上方向に向かって引き出される。その際、リンを含むa-Si膜8においては、リンによるニッケルのゲッタリング効果も加わって、より強烈なゲッタリングシンクとして作用する。

【0108】したがって、本実施の形態によれば、上記結晶性ケイ素膜3b中のニッケル4の殆どは、上層のa-Si膜7およびリンを含むa-Si膜8へ移動して、下層の結晶性ケイ素膜3bのニッケル濃度は大幅に低減されて、ニッケル濃度の低い高品質な結晶性ケイ素膜3cが得られる。すなわち、ゲッタリングシンクを結晶化させない加熱処理を行わない従来法の約1/4まで残留ニッケル濃度を低減することができるのである。

【0109】尚、本実施の形態によるTFT製造工程は、アクティブマトリックス基板の画素電極を対象にしたものである。しかしながら、本半導体装置の製造方法は薄膜集積回路等にも簡単に応用でき、その場合には、ゲート電極12上にもコンタクトホールを形成し、必要とする配線を施せばよい。

【0110】＜第2実施の形態＞本実施の形態においては、アクティブマトリックス型の液晶表示装置の周辺駆動回路や一般の薄膜集積回路を形成するN型TFTとP型TFTとを相補型に構成したCMOS(相補型金属酸化膜半導体)構造のTFT回路をガラス基板上に作製する際の工程に、この発明を適用した場合について説明する。

【0111】図3および図4は、本実施の形態に係るTFTの製造工程の概要を示す断面図であり、図3(a)から図4(g)の順に従ってTFTの製造工程が進行する。先ず、図3(a)に示すように、ガラス基板31上に、例えばスパッタリング法によって厚さ300nm～500nm程度の酸化ケイ素32からなる下地膜を形成する。この酸化ケイ素膜32は、ガラス基板31からの不純物の拡

散を防ぐために設けられる。次に、プラズマCVD法によって、厚さ20nm～80nm(例えば40nm)の真性(I型)のa-Si膜33を成膜する。本実施の形態においては、平行平板式のプラズマCVD装置を用い、SiH₄ガスとH₂ガスを材料ガスとして用い、加熱温度を300℃とし、RFパワーのパワー密度を10mW/cm²～200mW/cm²(例えば80mW/cm²)として成膜した。

【0112】次に、上記a-Si膜33の表面上にニッケル34の微量添加を行う。このニッケル34の微量添加は、ニッケル34を溶かした溶液をa-Si膜33上に保持し、スピナーによって溶液をa-Si膜33上に均一に延ばして乾燥させることによって行う。本実施の形態においては、溶質としては酢酸ニッケルを用い、溶媒としてはエタノールを用い、溶液中のニッケル濃度が1ppmとなるようにした。このようにしてa-Si膜33の表面上に添加されたニッケル34の濃度を上記TRXRF法によって測定すると、5×10¹² atoms/cm²程度であった。

【0113】さらに、これを、例えば窒素雰囲気等の不活性雰囲気下において加熱処理を行う。この加熱処理においては、520℃～570℃で2時間～8時間のアニール処理を行うことが望ましく、本実施の形態においては、一例として550℃で4時間の熱処理を行った。この加熱処理によって、a-Si膜33の表面に添加されたニッケル34のシリサイド化が起こり、それを核としてa-Si膜33の結晶化が進行する。その結果、図3(b)に示すように、a-Si膜33は結晶化されて結晶性ケイ素膜3aとなる。

【0114】しかしながら、上記ニッケル34の添加量では、a-Si膜33を総て結晶化するためには触媒元素の量が不十分であり、一部微小な(数μm程度の)非晶質領域が残存した状態で結晶成長が停止する。上記加熱処理における加熱温度が570℃以下の場合には、ケイ素膜自体の結晶成長は起こらないため、結晶成長が及ばない未結晶化領域はa-Siのまま残る。その結果、本実施の形態による550℃で4時間の加熱処理の後に得られる結晶性ケイ素膜33aは、結晶化領域の中に微小な非晶質領域が混在した状態となっている。

【0115】次に、図3(b)に示すように、レーザ光35を照射することによって結晶性ケイ素膜33aをさらに結晶化させて、結晶性ケイ素膜33bを得る。このときのレーザ光35としては、XeClエキシマレーザ(波長308nm、パルス幅40nsec)を用いた。レーザ光の照射条件は、照射時に半導体積層体を200℃～450℃(例えば400℃)に加熱し、エネルギー密度200mJ/cm²～450mJ/cm²(例えば350mJ/cm²)で照射した。ビームサイズは、ガラス基板31の表面で150mm

1mmの長尺形状となるように成型されており、長尺方向に対して垂直方向に0.05mmのステップ幅で順次走査を行った。すなわち、結晶性ケイ素膜33aの任意の

一点において計 20 回のレーザー照射が行われることになる。このレーザー照射によって、ケイ素膜中に残存していた非晶質領域が優先的に溶融し、結晶化領域の良好な結晶成分のみを反映して膜全体が結晶化される。

【0116】次に、図 3(c)に示すように、上記結晶性ケイ素膜 33b 表面を薄膜酸化することで、エッチングストップとなる酸化ケイ素膜 36 を形成する。酸化ケイ素膜 36 の形成は、結晶性ケイ素膜 33b 表面にエキシマ UV 光を照射することによって行う。その場合における処理時間は 1 分である。このようにして形成された酸化ケイ素膜 36 の膜厚を分光エリブゾンによって測定したところ、約 30 Å であった。

【0117】次に、上記酸化ケイ素膜 36 を覆うように、プラズマ CVD 法によって、リンとホウ素とを含む a-Si 膜 37 を形成する。このリンとホウ素とを含む a-Si 膜 37 の成膜は、本実施の形態においては、平行平板式のプラズマ CVD 装置を用い、 SiH_4 と PH_3 とジボラン (B_2H_6) とを材料ガスとして用い、加熱温度を 350°C として行った。その際に、a-Si 膜 37 中のリンおよびホウ素の濃度は、これらの 3 種のガスの流量比で任意に変更することが可能である。本実施の形態においては、 $\text{PH}_3/\text{B}_2\text{H}_6/\text{SiH}_4$ 流量比を 3/1/100 とした。このときの a-Si 膜 37 中のリン濃度は 1 % 程度であり、ホウ素の濃度は 0.5 % 程度である。

【0118】そして、この状態で、例えば窒素雰囲気等の不活性雰囲気下において加熱処理を施す。この場合における処理温度および処理時間は、450°C~550°C の温度で 5 分~4 時間、より好ましくは 480°C~520°C の温度で 10 分~2 時間である。また、上記処理温度までの昇温速度および処理温度からの降温速度は、少なくとも 5°C/分以上で行うことが望ましい。本実施の形態においては、加熱温度 500°C で 1 時間の処理を行った。その際に、基板を 200°C 程度で余熱した状態から 500°C まで 30 分で (昇温速度 10°C/分) 昇温し、処理後 500°C から 200°C まで同様に 30 分で降温した。

【0119】この加熱処理において、ゲッタリングシンクとなるリンとホウ素とを含む a-Si 膜 37 には結晶核の発生が起こらず、全く結晶化しない状態 (非晶質状態) のままで保たれる。したがって、ゲッタリング効果を最大限に引き出すことができるのである。また、本実施の形態では、ガラス基板 31 として、320mm×400mm で厚さ 0.7mm のコーニング社コード 1737 のノンアニール品ガラス基板を用いたが、この加熱処理による反りや挠みや割れ等は勿論生じなかった。さらに、メートルサイズの大型ガラス基板の場合でも、本実施の形態のような加熱処理であれば、問題なく使用可能であることを確認している。本実施の形態の場合にも、上記加熱処理を、上記第 1 実施の形態において説明した図 10 に示すようなファーンズ炉を用いて行う。

【0120】上述のような熱処理によって、上記リンおよびホウ素を含む a-Si 膜 37 は全く結晶化されず、その欠陥がニッケルに対する偏析トラップとなっており、下層の結晶性ケイ素膜 33b 中のニッケル 34 が図 3(c)に矢印 38 で示すように上方向に向かって引き出される。その際に、リンとボロンとの作用によって上記ゲッタリング効果は非常に高められ、より強烈的なゲッタリングシンクとして作用する。このとき、ニッケル 34 は薄膜の酸化ケイ素膜 36 を通過して移動するのであるが、本実施の形態のような膜厚の酸化ケイ素膜 36 では、その移動の妨げとはならない。

【0121】その結果、上記結晶性ケイ素膜 33b 中のニッケル 34 の殆どは、上層のリンとホウ素とを含む a-Si 膜 37 へ移動し、この膜 37 でのニッケル濃度が高くなる。逆に、下層の結晶性ケイ素膜 33b のニッケル濃度は大幅に低減され、ニッケル濃度の低い高品質な結晶性ケイ素膜 33c が得られるのである。上述した 500°C で 1 時間の加熱処理においては、結晶性ケイ素膜 33c 中のニッケル濃度とゲッタリングシンクである上層のリンとホウ素とを含む a-Si 膜 37 中のニッケル濃度とは、熱平衡状態の偏析状態となっている。すなわち、これ以上処理時間を延ばしてもニッケル 34 の移動は生じない状態である。

【0122】この状態における実際の結晶性ケイ素膜 33c 中のニッケル濃度を上記 SIMS によって測定したところ、 4×10^{16} atoms/cm³ 程度にまで低減されていた。ちなみに、本実施の形態のようにゲッタリングシンクの a-Si 膜 37 を結晶化させないような加熱処理を行うことの無い従来法によるニッケル濃度は、 2×10^{17} atoms/cm³ 程度である。尚、この熱処理工程前における結晶性ケイ素膜 33b の膜中ニッケル濃度は 1×10^{18} atoms/cm³ 程度であり、上記熱処理によって約 1/25 (上記従来法の 1/5) まで残留ニッケル濃度を低減することができるのである。また、この段階で結晶性ケイ素膜 33c に残っているニッケル 34 は、シリサイド状態では無く固溶した状態で存在しているため、TFT の電気特性上問題とならないのである。

【0123】次に、上述したようにニッケル 34 をゲッタリングしてニッケル濃度が高くなったリンとホウ素とを含む a-Si 膜 37 を、全面的にエッチングすることによって除去する。その場合におけるエッチングとしては、下層の酸化ケイ素膜 36 がエッチングストップとして十分作用するように、酸化ケイ素膜と十分エッチング選択比のあるエッチャントが用いられる。本実施の形態の場合には、現像液のような強アルカリ溶液を用いた。そして、a-Si 膜 37 を除去した後、酸化ケイ素膜 36 をエッチング除去する。その場合のエッチャントとしては、十分に下層のケイ素膜 33c と選択性のある 1:100 BHF を用い、ウェットエッチングによって行った。

【0124】その後、図3(d)に示すように、上記結晶性ケイ素膜33cを用いて、後にTFTの活性領域(素子領域)39n, 39pとなる領域を残し、それ以外の領域を除去して素子間分離を行う。

【0125】次に、図4(e)に示すように、上記活性領域となる結晶性ケイ素膜39n, 39pを覆って、厚さ20nm~150nm(ここでは100nm)の酸化ケイ素膜をゲート絶縁膜40として成膜する。上記酸化ケイ素膜の形成は、ここでは上記TEOSを原料とし、酸素と共に基板温度150℃~600℃(好ましくは300℃~450℃)で、RFプラズマCVD法で分解・堆積して行った。

【0126】引き続いて、スパッタリング法によって高融点金属を堆積し、これをパターニング形成してゲート電極41n, 41pとする。このときの高融点金属としてはタンタル(Ta)あるいはタングステン(W)が望ましい。本実施の形態においては、窒素が微量に添加されたTaを用い、厚さを300nm~600nm(例えば450nm)とした。

【0127】次に、イオンドーピング法によって、上記ゲート電極41n, 41pをマスクとして、活性領域39n, 39pにリン42を注入する。ドーピングガスとしてPH₃を用い、加速電圧を60kV~90kV(例えば80kV)とし、ドーズ量を $2 \times 10^{15} \text{ cm}^{-2} \sim 8 \times 10^{15} \text{ cm}^{-2}$ (例えば $5 \times 10^{15} \text{ cm}^{-2}$)とする。この工程によって、Nチャネル型TFTにおけるN型不純物領域43n, 44nが形成される。また、ゲート電極41nにマスクされて不純物が注入されない領域45nは、後にNチャネル型TFTのチャネル領域となる。一方、Pチャネル型TFTにおけるソース・ドレイン領域43n', 44n'は、この段階では、リンがドーピングされた結果N型の不純物領域となっている。

【0128】次に、図4(f)に示すように、フォトリソグラフィ工程によって、上記Nチャネル型TFT上に、選択ドーピングのためのマスク46をフォトリソで形成する。そして、この状態で、イオンドーピング法によって、Pチャネル型TFT側のみに選択的に、ゲート電極41pをマスクとしてホウ素47を注入する。その場合、ドーピングガスとしてB₂H₆を用い、加速電圧を40kV~80kV(例えば65kV)、ドーズ量を $1 \times 10^{16} \text{ cm}^{-2} \sim 5 \times 10^{16} \text{ cm}^{-2}$ (例えば $2 \times 10^{16} \text{ cm}^{-2}$)の高ドーズ量とする。この工程によって、Pチャネル型TFTにおけるホウ素47がドーピングされた領域43n', 44n'では、先にドーピングされたN型不純物であるリンがキャンセルされ、過剰なホウ素47によって伝導型が反転してP型の不純物領域43p, 44pが形成される。所謂カウンタードーピングである。また、ゲート電極41pにマスクされてホウ素47が注入されない領域45pは、後にPチャネル型TFTのチャネル領域となる。このようにして、Nチャネル型TFTとPチャネル

型TFTとが夫々形成されるのである。

【0129】そして、選択ドーピングのためのマスクとして用いたフォトリソを除去した後、例えば窒素雰囲気等の不活性雰囲気下において熱処理を行う。本実施の形態においては、窒素雰囲気中において、600℃の温度で4時間の熱処理を行った。この熱処理によって、ソース・ドレイン領域43n, 44n, 43p, 44pの活性化が行われる。こうして得られたN型不純物領域43n, 44nのシート抵抗値は $0.4 \text{ k}\Omega/\square \sim 0.8 \text{ k}\Omega/\square$ であり、P型不純物領域43p, 44pのシート抵抗値は $1 \text{ k}\Omega/\square \sim 2 \text{ k}\Omega/\square$ である。また、ゲート絶縁膜40の焼成処理も同時に行われ、ゲート絶縁膜自身のバルク特性の向上および結晶性ケイ素膜/ゲート絶縁膜の界面特性の向上が図られる。

【0130】さらには、上記熱処理工程によって、ソース・ドレイン領域43n, 44n, 43p, 44pにドーピングされているリンが、チャネル領域45n, 45p中に残存しているニッケル34を隣接するソース・ドレイン領域43n, 44n, 43p, 44pに移動させる。すなわち、チャネル領域45n, 45pに絞ってのゲッタリングを再度追加することができ、先のゲッタリングと合わせて2段階の完全なゲッタリングを行うことができる。さらに、上述した熱処理工程を高速熱アニール処理によって行うことも可能である。その場合には、ソース・ドレイン領域の活性化およびチャネル領域のゲッタリング効果において、より優れた結果を得ることができるのである。

【0131】続いて、図4(g)に示すように、厚さ90nm程度の酸化ケイ素膜を層間絶縁膜48としてプラズマCVD法によって形成し、これにコンタクトホールを形成して、金属材料(例えば窒化チタンとアルミニウムとの二層膜)によってTFTの電極・配線49を形成する。そして最後に、1気圧の水素雰囲気下において、350℃で1時間のアニールを行い、Nチャネル型TFT50とPチャネル型TFT51とを完成させる。さらに、必要に応じて、TFT50, 51のゲート電極41n, 41p上にもコンタクトホールを設けて配線を施しても差し支えない。また、これらのTFT50, 51を保護する目的で、TFT50, 51上に窒化ケイ素膜等からなる保護膜を設けてもよい。

【0132】本実施の形態に従って作製したCMOS構造TFTにおいては、夫々のTFTの電界効果移動度は、N型TFT50で $200 \text{ cm}^2/\text{Vs} \sim 250 \text{ cm}^2/\text{Vs}$ 、P型TFT51で $100 \text{ cm}^2/\text{Vs} \sim 130 \text{ cm}^2/\text{Vs}$ と高く、閾値電圧はN型TFT50で1.5V程度、P型TFT51で-2V程度と非常に良好な特性を示した。しかも、触媒元素を用いて作成した従来のTFTに頻繁に見られたTFTオフ動作時のリーク電流の異常な増大が全く無く、リーク電流値自体も単位W当たり1pA以下と非常に低い値を安定して示した。このリーク電流の値は、触媒元素を用いずに作成した従来のTFTと比べて

も全く遜色が無いものであり、製造歩留まりを大きく向上することができる。

【0133】また、繰り返し測定やバイアスや温度ストレスによる耐久性試験を行っても殆どTFTの特性劣化は見られず、従来のTFTと比べて非常に信頼性が高く、安定した回路特性を示した。

【0134】上述のごとく、本実施の形態においては、ガラス基板31上にa-Si膜33を成膜し、a-Si膜33の表面上にニッケル34を 5×10^{12} atoms/cm²程度添加する。そして、不活性雰囲気下において520℃
10 ~570℃で2時間~8時間加熱処理を行うことによってa-Si膜33の結晶化を行って、微小な非晶質領域が混在した結晶性ケイ素膜33aを得る。

【0135】次に、上記レーザ光35を照射して残存する非晶質領域を優先的に溶融させ、膜全体を結晶化して結晶性ケイ素膜33bにする。そして、リンとホウ素とを含むa-Si膜37を形成して、不活性雰囲気下における450℃~550℃の温度で5分~4時間の加熱処理を、5℃/分以上の昇温・降温速度で施す。この加熱処理によって、ゲッタリングシンクとなるリンとホウ素と
20 含むa-Si膜37には結晶核の発生が起らず、全く結晶化しない状態(非晶質状態)のままで保たれる。したがって、ゲッタリング効果を最大限に引き出すことができるのである。

【0136】このような熱処理によって、上記リンとホウ素とを含むa-Si膜37は全く結晶化されず、その欠陥がニッケルに対する偏析トラップとなって、下層の結晶性ケイ素膜33b中のニッケル34が上方向に向かって引き出される。その際、リンとホウ素とを含むa-Si膜37は、リンによるニッケルのゲッタリング効果
30 も加わって、より強烈的なゲッタリングシンクとして作用するのである。

【0137】したがって、本実施の形態によれば、上記第1実施の形態の場合と同様に、ゲッタリングシンクを結晶化させない加熱処理を行わない従来法の約1/5まで残留ニッケル濃度を低減することができるのである。

【0138】さらに、上記ゲッタリングが行われた後の結晶性ケイ素膜33cを用いてTFT50, 51を形成した後、不活性雰囲気下において600℃で4時間の熱処理を行う。こうして、チャンネル領域45n, 45p中に残
40 存しているニッケル34に対して再度ゲッタリングを行い、先のゲッタリングと合わせて2段階の完全なゲッタリングを行うことができるのである。

【0139】<第3実施の形態>本実施の形態においては、ガラス基板上にN型TFTを作製する際の工程にこの発明を適用した場合について説明する。本実施の形態におけるTFTは、上記第1実施の形態の場合と同様に、アクティブマトリックス型の液晶表示装置のドライバ回路や画素部分は勿論のこと、薄膜集積回路を構成する素子としても利用することができる。

【0140】図5および図6は、本実施の形態におけるTFTの製造工程の概要を示す断面図であり、図5(a)から図6(g)までの順に従ってTFTの作製工程が進行する。まず、図5(a)に示すように、ガラス基板61上に、例えばプラズマCVD法によって、厚さ300nm~500nm程度の酸化ケイ素62からなる下地膜を形成する。次に、プラズマCVD法によって、厚さ20nm~80nm(例えば40nm)の真性(I型)の非晶質ケイ素膜(a-Si膜)63を成膜する。

【0141】次に、上記a-Si膜63の表面上にニッケル64の微量添加を行う。このニッケル64の微量添加は、ニッケル64を溶かした溶液をa-Si膜63上に保持し、スピナーによって溶液をa-Si膜63上に均一に延ばして乾燥させることによって行う。本実施の形態においては、溶質としては酢酸ニッケルを用い、溶媒としては水を用い、溶液中のニッケル濃度が10ppmになるようにした。このようにしてa-Si膜63の表面上に添加されたニッケル64の濃度を、TRXRF法によって測定すると、 7×10^{12} atoms/cm²程度であった。

【0142】さらに、これを、例えば窒素雰囲気等の不活性雰囲気下において加熱処理を行う。この加熱処理においては、520℃~570℃の加熱温度で2~8時間、例えば550℃で4時間のアニール処理を行う。この加熱処理によって、a-Si膜63の表面に添加されたニッケル64によってa-Si膜63は結晶化され、図5(b)に示すように、結晶性ケイ素膜63aとなる。

【0143】次に、図5(b)に示すように、レーザ光65を照射することによって結晶性ケイ素膜63aを再結晶化し、その結晶性を向上させる。このときのレーザ光65としては、XeClエキシマレーザ(波長308nm、パルス幅40nsec)を用いた。レーザ光65の照射条件は、照射時に半導体積層体を200℃~450℃(例えば400℃)に加熱し、エネルギー密度250mJ/cm²~450mJ/cm²(例えば350mJ/cm²)である。このようにして、固相結晶化によって得られた結晶性ケイ素膜63aは、レーザ照射による溶融固化過程によって結晶欠陥が低減され、より高品質な結晶性ケイ素膜63bとなる。

【0144】次に、図5(c)に示すように、上記結晶性ケイ素膜63b表面を薄膜酸化することで、エッチングストップとなる酸化ケイ素膜66を形成する。酸化ケイ素膜66の形成は、結晶性ケイ素膜63b表面にオゾン水を保持することで行う。その場合における酸化ケイ素膜66の膜厚を分光エリブゾによって測定したところ、約30Åであった。

【0145】次に、上記酸化ケイ素膜66を覆うように、プラズマCVD法によって、ノンドープの(イントリンシックな)a-Si膜67を形成する。さらに、このa-Si膜67に対して、Ar68をイオンドーピング法

によって導入する。その場合、ドーピングガスとしては 100%のArを用い、加速電圧を例えば30kVとし、ドーパ量を $1 \times 10^{15} \text{ cm}^{-2} \sim 1 \times 10^{16} \text{ cm}^{-2}$ 、例えば $3 \times 10^{15} \text{ cm}^{-2}$ とする。

【0146】そして、この状態で、例えば窒素雰囲気等の不活性雰囲気下において加熱処理を施す。この場合における処理温度および処理時間は、450℃～550℃の温度で5分～4時間、より好ましくは480℃～520℃の温度で10分～2時間である。また、上記処理温度までの昇温速度および処理温度からの降温速度は、少なくとも5℃/分以上で行うことが望ましい。本実施の形態においては、加熱温度500℃で1時間の処理を行った。その際に、基板を200℃程度で余熱した状態から500℃まで30分で(昇温速度10℃/分)昇温し、処理後500℃から200℃まで同様に30分で降温した。

【0147】本実施の形態においては、上記ガラス基板61として、320mm×400mmで厚さ0.7mmのコーニング社コード1737のノンアニール品ガラス基板を用いたが、この加熱処理による反りや挠みや割れ等は勿論生じなかった。さらに、メートルサイズ的大型ガラス基板の場合でも、本実施の形態のような加熱処理であれば、問題なく使用可能であることを確認している。尚、本実施の形態の場合にも、上記加熱処理装置を、上記第1、第2実施の形態の場合と同様に、ファーンズ炉を用いて行う。

【0148】この加熱処理によって、上記a-Si膜67は全く結晶化されず、その欠陥がニッケルに対する偏析トラップとなって、下層の結晶性ケイ素膜63b中のニッケル64が、図5(d)に矢印69で示すように上方方向に向かって引き出される。その際に、a-Si膜67ではドーピングされたAr68がより大きな格子間歪みをもたらし、より強烈的なゲッタリングシンクとして作用する。このときニッケル64は薄膜の酸化ケイ素膜66を通過して移動するのであるが、本実施の形態のような膜厚の酸化ケイ素膜66では、その移動の妨げとはならない。

【0149】その結果、上記結晶性ケイ素膜63b中のニッケル64の殆どは、上層のa-Si膜67へ移動し、この膜67でのニッケル濃度が高くなる。逆に、下層の結晶性ケイ素膜63bのニッケル濃度は大幅に低減され、ニッケル濃度の低い高品質な結晶性ケイ素膜63cが得られるのである。上述した500℃で1時間の加熱処理においては、結晶性ケイ素膜63c中のニッケル濃度とゲッタリングシンクである上層のa-Si膜67中のニッケル濃度とは、熱平衡状態の偏析状態となっている。すなわち、これ以上処理時間を延ばしてもニッケル64の移動は生じない状態である。この状態における実際の結晶性ケイ素膜63c中のニッケル濃度をSIMSにより測定したところ、 $5 \times 10^{16} \text{ atoms/cm}^3$ 程度に

まで低減されていた。

【0150】次に、上述したようにニッケル64をゲッタリングしてニッケル濃度が高くなったa-Si膜67を、全面的にエッチングすることによって除去する。その場合におけるエッチングとしては、下層の酸化ケイ素膜66がエッチングストップとして十分作用するように、酸化ケイ素膜と十分エッチング選択比のあるエッチャントが用いられる。本実施の形態の場合には、現像液のような強アルカリ溶液を用いた。そして、a-Si膜67を除去した後、酸化ケイ素膜66をエッチング除去する。その場合のエッチャントとしては、十分に下層のケイ素膜63cと選択性のある1:100BHFを用い、ウェットエッチングによって行った。

【0151】その後、上記結晶性ケイ素膜63cにおける不要部分を除去して素子間分離を行う。すなわち、この工程によって、図6(e)に示すように、後にTFETの活性領域(ソース・ドレイン領域およびチャネル領域)となる島状の結晶性ケイ素膜70が形成される。

【0152】次に、図6(f)に示すように、上記活性領域となる結晶性ケイ素膜10を覆ってゲート絶縁膜71を成膜し、成膜したアルミニウム膜をパターニングしてゲート電極72を形成する。さらに、このアルミニウムの電極の表面を陽極酸化して表面に酸化物層73を形成する。次に、イオンドーピング法によって、ゲート電極72と酸化物層73とをマスクとして上記活性領域に不純物を注入し、後にTFETのソース・ドレイン領域となる領域74、75を形成する。また、不純物が注入されない領域76は、後にTFETのチャネル領域となる。その後、レーザ光77を照射してアニールを行い、イオン注入した不純物の活性化と上述した不純物導入工程で劣化した結晶性の改善とを行う。

【0153】続いて、図6(g)に示すように、層間絶縁膜78を形成し、この層間絶縁膜78にコンタクトホールを形成して、TFETのソース電極・配線79およびドレイン電極・配線80を形成する。そして最後に、1気圧の水素雰囲気下において、350℃で1時間のアニールを行い、図6(g)に示すNチャネル型TFET81を完成させるのである。

【0154】上述のごとく、本実施の形態においては、ガラス基板61上にa-Si膜63を成膜し、a-Si膜63の表面上にニッケル64を $7 \times 10^{12} \text{ atoms/cm}^2$ 程度添加する。そして、不活性雰囲気下において520℃～570℃で2時間～8時間加熱処理を行うことによってa-Si膜63の結晶化を行って、微小な非晶質領域が混在した結晶性ケイ素膜63aを得る。

【0155】次に、上記レーザ光65を照射して、固相結晶化によって得られた結晶性ケイ素膜63aを溶融固化させることによって結晶欠陥を低減し、より高品質な結晶性ケイ素膜63bにする。さらにノンドーパのa-Si膜67を形成してAr68を導入し、不活性雰囲気下

において450℃～550℃の温度で5分～4時間の加熱処理を、5℃/分以上の昇温・降温速度で施す。この加熱処理によって、ゲッタリングシンクとなる第2のa-Si膜67は全く結晶化されず、その欠陥がニッケルに対する偏析トラップとなつて、下層の結晶性ケイ素膜63b中のニッケル64が上方方向に向かって引き出される。その際に、a-Si膜67ではドーピングされたAr68がより大きな格子間歪みをもたらし、より強烈なゲッタリングシンクとして作用するのである。

【0156】したがって、本実施の形態によれば、上記結晶性ケイ素膜63b中のニッケル64の殆どは、上層のa-Si膜67へ移動して、ニッケル濃度の低い高品質な結晶性ケイ素膜63cが得られる。すなわち、ゲッタリングシンクを結晶化させない加熱処理を行わない従来法の約1/4まで残留ニッケル濃度を低減することができるのである。

【0157】以下、上記各実施の形態における特徴的な部分についてまとめてみる。すなわち、上記各実施の形態は、絶縁基板(ガラス基板1,31,61)上に形成された第1のa-Si膜3,33,63にその結晶化を促進する触媒元素(ニッケル4,34,64)を導入し、第1の加熱処理によって結晶成長させた後に、その結晶性ケイ素膜3b,33b,63b上に第2のa-Si膜7,8,37,67を設けて第2の加熱処理を行い、結晶性ケイ素膜3b,33b,63b中の触媒元素を第2のa-Si膜7,8,37,67へと移動させるものである。

【0158】その場合における上記第2の加熱処理を、第2のa-Si膜7,8,37,67が少なくとも完全に結晶化しない状態で行うことが、上記各実施の形態における大きなポイントなのである。そして、第2のa-Si膜7,8,37,67を除去した後、下層の結晶性ケイ素膜3c,33c,63cを用いて半導体装置の活性領域を形成するのである。こうすることによって、上記第2の非晶質ケイ素膜が結晶化しない状態での加熱処理を行わない従来法に比べて、上記活性領域における残留触媒元素量を大きく低減することが可能となるのである。その結果、上記従来法に比べて、より高い電流駆動能力を有する高性能半導体装置を得ることができ、上記従来法によって作成された活性領域を用いた半導体装置で問題となっているオフ動作時のリーク電流の異常も見られず、高い信頼性も同時に確保することができるのである。

【0159】上記第2の非晶質ケイ素膜が結晶化しない状態での加熱処理を行って触媒元素を移動させるメカニズムについて説明する。触媒元素をある領域へと移動させる(すなわちゲッタリングする)メカニズムの一つとしては、上記領域での触媒元素に対する固溶度を他の領域より上げて、そこへ触媒元素を移動させる方法(第1のゲッタリング作用)がある。また、その他として、上記領域に触媒元素をトラップするような欠陥あるいは局所的な偏析サイトを形成し、そこに触媒元素を移動させ

ラップさせる方法(第2のゲッタリング作用)がある。

【0160】上記各実施の形態においては、ゲッタリングシンクとして作用する第2のa-Si膜7,8,37,67を結晶化させない状態で熱処理を行うことで、後者(第2のゲッタリング作用)の利点を引き出すことができるのである。すなわち、第2のa-Si膜7,8,37,67におけるダングリングボンド等の欠陥がニッケル4,34,64に対する偏析サイトとなり、ニッケル4,34,64を結晶性ケイ素膜3b,33b,63bより移動させ、上層の第2のa-Si膜7,8,37,67でトラップするのである。その結果、半導体装置の活性領域として利用する下層の結晶性ケイ素膜3c,33c,63c中の触媒元素濃度は大きく低減し、半導体装置におけるオフ動作時のリーク電流の異常が無くなり、高い信頼性を得ることができるのである。

【0161】上記第2の加熱処理としては、上記第2のa-Si膜7,8,37,67が少なくとも完全に結晶化しない状態で行うことで、上述の第2のゲッタリング作用を最低限引き出すことができる。しかしながら、より好ましくは、この熱処理工程中において、ゲッタリングシンクである第2のa-Si膜7,8,37,67で結晶核の発生が全く生じない状態で第2の加熱処理を行うことが望ましい。このようにすることで、結晶性ケイ素膜3b,33b,63b中のニッケル4,34,64を第2のa-Si膜7,8,37,67へ移動させるゲッタリング工程の全期間において、最大限のゲッタリング偏析サイトを保持することができ、上記第2のゲッタリング作用を最大限に引き出すことができる。すなわち、この状態が、上記各実施の形態において、最も高いゲッタリング効果が得られる状態なのである。

【0162】さらに、上記触媒元素のゲッタリング効果を上げるためには、上記第1,第2実施の形態のごとく、第2のa-Si膜8,37に5族Bから選ばれた元素であるリンを含有させることが非常に有効である。こうすることで、第2のa-Si膜8,37における触媒元素の固溶度を飛躍的に上げることができ、固溶度の差による触媒元素の移動(すなわち第1のゲッタリング作用)も同時に行われることになる。すなわち、上述した触媒元素のゲッタリングの2つのメカニズムおよび効果の双方とも同時に得ることができ、下層の活性領域となる結晶性ケイ素膜3c,33c,63cにおいて大きく触媒元素の膜中濃度を低減することができるのである。

【0163】この5族B元素を用いたゲッタリング方法は、上記特開平10-223534号公報、特開平10-229048号公報および特開平11-31660号公報で開示されている。しかしながら、これらの総ては、5族B元素を導入したことによる導入領域と非導入領域とにおける上記触媒元素に対する固溶度の差(触媒元素を移動させる第1のゲッタリング作用)を利用するものである。これに対して、上記第1,第2実施の形態

におけるゲッタリングのためのドライビングフォースのメインは、第2のa-Si膜7, 8, 37中の欠陥等の局所的偏析サイトを利用した第2のゲッタリング作用である。そして、第2のa-Si膜8, 37への5族B元素の導入による第2のゲッタリング作用は副次的なものであり、第1のゲッタリング作用と第2のゲッタリング作用とを組み合わせることによる積算相乗効果によって、上記各報に開示された従来法に比べて大きくゲッタリング効率を向上するものである。

【0164】上述のようにして得られた結晶性ケイ素膜3c, 33c, 63cは、従来より、触媒元素の残留を簡易的に確認する方法として用いているフッ酸系のエッチャントによるライトエッチング処理を行って残留している触媒元素を顕在化させる評価方法を行っても、上記従来法においては見られていたエッチピットは全く見られない。また、よりシビアな評価としては、さらに高温での熱処理を行うことによって素子領域内に残存している触媒元素を再凝集させてシリサイド状態とする評価方法を行っても、特開平11-31660号公報、特開平10-223534号公報および特開平10-229048号公報において見られたような触媒元素の再凝集は全く見られなかった。

【0165】また、実際に上記各実施の形態によって得られた結晶性ケイ素膜3c, 33c, 63cを用いてTFTを作成したところ、上記各公報および従来の技術によって同様にTFTを作成した場合には3%以上の確率で見られたオフ時のリーク電流の異常な増大現象が全く見られず、正に0%であった。さらに、上記作成したTFTを用いた液晶表示装置では、従来法によるTFTを用いた液晶表示装置で頻発していた線状の表示斑(ドライバ部のサンプリングTFT起因)やオフ時のリーク電流による画素欠陥も全く無く、表示品位を大きく向上できると共に良品率を飛躍的に高めることができた。

【0166】上記各実施の形態は、上記特開平11-31660号公報の場合と同様に、活性領域となる結晶性ケイ素膜3b, 33b, 63b上に形成された別のa-Si膜7, 8, 37, 67へと縦方向(膜厚方向)に触媒元素を移動ゲッタリングするものであるが、上述したようにポイントは全く異なるものである。すなわち、上記各実施の形態においてはゲッタリングシンクとして非晶質ケイ素膜を用い、それが結晶化しないような状態で熱処理を用いることで上記第2のゲッタリング作用をもたらし、上層のゲッタリングシンクとなるケイ素膜にリンのような5族B元素を含まなくてもゲッタリングが可能となる。また、このような膜厚方向へのゲッタリングは、そのゲッタリング距離(触媒元素の移動すべき距離)は膜厚分のみであるため、特開平10-223534号公報および特開平10-229048号公報のような一般的な横方向へのゲッタリングに比べてその移動距離が短くて済む。このことは、低温あるいは短時間の処理でゲッタリ

ングできることを意味しており、非晶質状態を保ったまま熱処理を行う第2のゲッタリング作用を引き出すのに非常に都合がよい。長時間や高温のアニール処理では、安価なガラス基板を用いた場合に反りや撓みが発生するなどの問題も生じるのである。

【0167】さて、上記各実施の形態においては、上述したようにゲッタリングのための第2の加熱処理がポイントであり、ゲッタリングシンクとなる第2のa-Si膜7, 8, 37, 67が少なくとも完全に結晶化しない状態で、好ましくは結晶核の発生が全く生じない状態で加熱処理を行う必要がある。そのためには、上記第2の加熱処理における処理温度を低くして時間を短くすることが有効ではあるが、下限が存在する。結晶性ケイ素膜3b, 33b, 63b中のニッケル4, 34, 64を第2のa-Si膜7, 8, 37, 67に移動させるためだけの処理温度・時間は最低限必要であるが、最も望ましいのは、結晶性ケイ素膜3b, 33b, 63b中のニッケル濃度と第2のa-Si膜7, 8, 37, 67中のニッケル濃度が、少なくとも熱平衡状態の偏析状態となるような加熱温度および加熱時間で行われることである。この状態でゲッタリング作用は飽和した状態となっており、最も高く安定したゲッタリング効果が得られる。すなわち、この状態以前では、中途半端な移動状態であり、プロセス的にも不安定なのである。

【0168】以上の目的から、上記第2の加熱処理における実際の処理条件としては、加熱温度が450℃～550℃の範囲内で、5分から4時間の処理時間で行われることが望ましい。図7に、第2の加熱処理における加熱温度とゲッタリング時間との関係(実験結果)を示す。横軸はゲッタリングのための加熱温度である。また、縦軸は触媒元素としてニッケルが導入された結晶性ケイ素膜において100nmの距離をゲッタリングする(熱平衡の偏析状態となる)のに必要な時間である。膜厚方向にゲッタリングする方法では、ゲッタリング距離は膜厚分だけの非常に短い距離で済む。したがって、ゲッタリング距離100nmは十分な距離である。図7より、550℃では約5分、500℃では約30分、450℃では約240分程度でゲッタリングが終了し飽和状態となる。シミュレーション上では、より早い時間でゲッタリングできるような計算結果が得られているが、実際にはニッケルの固溶度以下での移動が行われていると推測され、その分処理時間が延びるものと考えられる。

【0169】また、上記実験の場合には、下層の結晶性ケイ素膜と第2の非晶質ケイ素膜との間に自然酸化膜レベルの酸化薄膜が存在しているが、それがニッケルの移動を若干ながら阻害している可能性もある。

【0170】図7の実験結果においては、5族Bの元素としてリンを導入した第2の非晶質ケイ素膜を用いているが、上述のような第2の加熱処理方法を用いることで、上記第2のゲッタリング作用を引き出すことができ

ようになり、上記第2の非晶質ケイ素膜としてノンドープの非晶質ケイ素膜でもゲッタリングシंकとして作用するようになる。以上の理由から、上記第2の熱処理の処理条件としては、加熱温度450℃～550℃の範囲内で、5分から4時間の処理時間で行われることが望ましい。

【0171】図7によれば、加熱温度600℃では1分でゲッタリングが可能であるが、第2の非晶質ケイ素膜が結晶化される可能性がある。そして、550℃以下では第2の非晶質ケイ素膜は殆ど結晶化されず、上記第2のゲッタリング作用を引き出すことができる。なぜなら、第2の非晶質ケイ素膜が完全に結晶化した段階で上記第2のゲッタリング効果は無くなるからである。また、加熱温度が450℃以下になると処理時間が非常に長くなり、スループットの悪化や装置の台数・フットプリントの増加から量産プロセスとしての採用は難しい。

【0172】さらに望ましくは、上記第2の加熱処理として、特に加熱温度480℃～520℃の範囲内で、10分から2時間の処理時間で行われるのが良い。上記各実施の形態による半導体装置の対象としては液晶表示用のアクティブマトリクス基板がある。そして、そのマザーボード(ガラス基板)は、コストダウンのため大型化する傾向にある。また、液晶表示装置のコンパクト化や軽量化のため薄板化する傾向も加わり、そのガラス基板に対して加熱処理を行うことは非常に厳しい。実際に、一般的に使用されているコーニング社コード1737のガラス基板を用いた場合、600mm×720mmで厚さ0.7mmの場合には、加熱温度500℃で1～2時間の加熱処理が略限界であることが実験で分っている。上記ガラス基板を用いる場合における最も大きな問題は重量による撓みである。

【0173】上記各実施の形態では、触媒元素を膜厚方向にゲッタリングするためゲッタリング距離が膜厚分だけと非常に短くて済み、上記第2の加熱処理の加熱温度を低温化し且つ時間を短縮することができ、このような大型のガラス基板に対して非常に相性の良い方法なのである。このような点を考慮すると、上述の加熱温度が480℃～520℃の範囲内で、10分から2時間の処理時間で第2の加熱処理を行うのが最適条件であると言える。このような処理条件であれば、十分に量産性の高いプロセスを実現でき、ガラス基板の大型化や薄板化への対応も可能である。さらに、この加熱温度・処理時間内であれば、上記第2の非晶質ケイ素膜において結晶核の発生は生じず、全く結晶化されない。したがって、各実施の形態による効果を最大限に引き出すことができるのである。

【0174】さて、上記第2の加熱処理における基板の加熱処理温度までの昇温速度および降温速度は、共に少なくとも5℃/分を上回ることが望ましい。この昇降温レートが遅いと意図しない余分な加熱処理が加わること

になり、ガラス基板への熱的ダメージが増加すると共に、昇温過程や降温過程において結晶化が引き起こされる可能性がある。実験によれば、5℃/分以上の昇温速度および降温速度で上記第2の加熱処理を行えば、上記効果を損なうことはなく、特に問題も出ないことが分っている。

【0175】上記第2の加熱処理を、上記第2のa-Si膜7,8,37,67が完全に結晶化しない条件で行う他の理由として、第2のa-Si膜7,8,37,67を除去する工程上の問題がある。すなわち、第2のa-Si膜7,8,37を除去する工程においては、アルカリ溶液を用いることによって、エッチングストップとなる下層の酸化ケイ素膜6,36,66に対して大きなエッチング選択比が得られるのである。その場合におけるアルカリ溶液としては、TMAH(テトラメチルアンモニウムハイドロオキシド)等の無機アルカリ液が用いられる。

【0176】しかしながら、図8に示すように、このようなアルカリ液によるケイ素膜のエッチングにおいては、ケイ素膜が結晶化するとエッチングの時間と量との間に線形性が無くなり、極端にエッチングレートが低下し、エッチング残差が非常に残り易くなるのである。そして、このようなエッチング残差が生ずると、最終的に上記エッチング残差はTFTのチャンネル界面に存在することになるため、正常なTFT特性を示さず不良となる。したがって、第2のa-Si膜7,8,37,67が完全に結晶化しない条件で上記第2の加熱処理を行うことによって、後工程でのエッチング除去が行い易くなり、第2のa-Si膜7,8,37,67の除去工程に伴う不良を大きく低減できるのである。

【0177】より最適には、上記第2のa-Si膜7,8,37,67が全く結晶化しない条件で上記第2の加熱処理を行うことが望ましい。上述したように結晶化領域のエッチングレートが非晶質領域よりも遅いため、結晶化領域と非晶質領域とが混在していると、図9に示すように、結晶化領域がエッチング残差となつて残り易いのである。したがって、第2のa-Si膜7,8,37,67の結晶化が全く起らない条件で上記第2の加熱処理を行うことによって、第2のa-Si膜7,8,37,67のエッチング時における結晶性の違いによるエッチングレートの違いと、それに伴うエッチング残差の問題とを、完全に解決することができる。したがって、上記エッチング残差に起因するTFT不良は全く見られなくなるのである。尚、図9(a)は、エッチング前およびエッチング途中における第2のa-Si膜7,8,37,67表面の模式図であり、図9(b)は、断面の模式図である。

【0178】この発明の目的を達成するためには、上記第2の加熱処理を行う製造装置の構成も重要なポイントとなる。上記各実施の形態において、上記第2の加熱処理を行う工程は、上述したように、基板の平面形状と概略相似形の断面形状を有する炉心管の中に、基板面を炉

心方向に向けて、炉心管と基板との間のスペースが最小になるように基板を配置できるファーンズ炉を用いて行うことが望ましい。このような装置構造の概略のコンセプトを図10および図11に示す。

【0179】図10において、石英ボート93に基板92が複数枚セットされている。このボート93が、石英チューブ(炉心管)91の中に入って加熱処理が行われる。石英ボート93は基板92のセット時にはチューブ91下のホームポジション95にある。このホームポジション95内で、200℃程度で余熱が行われている。そして、矢印(A)に示すように基板92をチャージしたボート93がチューブ91内に入って行くと共に昇温が開始され、完全にアニールゾーン96内にボート93全体が入ることで基板92の加熱処理がスタートする。降温は、逆にボート93を余熱ゾーンであるホームポジション95に降ろすことによって行われる。

【0180】ここで、ポイントは、上記石英チューブ91の断面形状が、図11(a)に示すように、基板92の外形より一回り大きい概略相似形の矩形であることである。液晶表示用のアクティブマトリクス基板等のマザーボードとなるガラス基板は、IC等のシリコンウェハとは異なって、円形ではなく総て矩形状になっている。従来、このようなファーンズ炉の石英チューブは、図11(b)に示すような円形状であるのが通例である。この石英チューブ97に矩形の基板92をセットすると、断面的に見て、基板92とチューブ97との間に大きな隙間98が生じることになる。逆に、図11(a)に示すように、基板92に概略相似形の矩形断面を有する石英チューブ91を用いると、その隙間99を小さくすることができるのである。上記各実施の形態においては、このチューブ91と基板92との隙間99が大きなポイントとなるのである。

【0181】上記各実施の形態においては、上記第2の加熱処理工程を早い昇温速度および降温速度で速やかに行う必要がある。しかしながら、従来のファーンズ炉においては、特に600mm 720mmサイズのような大型のガラス基板に対して、実際に上述のような早い昇降温レートを実現するのは極めて困難である。また、大きな問題として、昇降温時の基板内の温度分布が非常に大きくなり、具体的には基板の周辺部と中央部とで200℃を越えるような温度分布が生じており、その影響による基板の反りや割れ等が頻発していた。

【0182】本発明者らは、この問題を解決するのに、チューブ91と基板92との間の隙間99と、基板92を複数枚セットする場合における基板ピッチ94とが大きなパラメーターであることを見出した。すなわち、昇降温速度を上げることとその昇降温時における基板内の温度分布を改善することとを同時に解決できるポイントは、窒素等の雰囲気ガスを基板92間へどれだけ多く供給できるかである。図11(c)に、上記第2の加熱処理

時における雰囲気ガスの流れを示す。チューブ91の上部より供給された雰囲気ガス100は、チューブ91と基板92との隙間99を通して矢印101に示すように下方向へ流れ、それと共に基板92の間へ矢印102に示すように流れ込む。この雰囲気ガス100の流れ102、つまり基板92表面への雰囲気ガス100の供給量を増やすことで昇降温速度を上げることができ、且つ、その場合における基板92内の温度分布を略一定に保つことができる。この矢印102方向への雰囲気ガス供給量は、基板92とチューブ91との間99を矢印101の方向へ流れる雰囲気ガス100の流速に比例し、基板ピッチ94の二乗に比例する。矢印101への流速を増やすためには、供給ガス量を上げるだけでは不十分であり、チューブ91と基板92との隙間99を10mm〜80mmにすることが非常に有効である。その目的のためには、基板92に概略相似形の矩形断面をもつ炉心管(石英チューブ)91を用いることが、非常に有効である。

【0183】その理由は、上記隙間99が10mm以下の場合には、上記ボート93とチューブ91との間に必要なローディングクリアランスが取れない。また、マザーボードとして想定される最小サイズ400mm 400mmのガラス基板を円形チューブにきっちり入れた場合の最大隙間が80mmであるため、80mm以上では、基板92に概略相似形の矩形断面を有する石英チューブ91を用いる意味が無く、目的とする効果が得られないためである。そして、隙間99を10mm〜80mmにすることによって、基板ピッチ94の最適化と合わせて、上記第2の加熱処理に必要な早い昇降温速度を実現できると共に、その場合における基板92内の温度分布を略一定に保つことができ、メートルサイズの大型ガラス基板に対しても、割れや反りの無い安定した処理が実現可能となるのである。

【0184】これは、図11(b)に示すような従来の円形チューブ97を用いては、全く実現できなかったことである。さらには、図10および図11に示すようなチャンバ構成の加熱装置をクラスタ状につなぎ、同時処理を行うことで、すなわちマルチチャンバ化することで、非常に高い処理能力を有する製造装置を小さなフットプリントで実現することができる。すなわち、上記第2の加熱処理用の加熱処理装置として、量産を含めて考えても最適な装置となるのである。

【0185】上記各実施の形態においては、上記ゲッタリングのためのドライビングフォースは、主に、第2のa-Si膜7, 8, 37, 67中の欠陥等の局所的偏析サイトを利用した上記第2のゲッタリング作用である。したがって、上記各実施の形態では、ゲッタリングシンクとなる第2のa-Si膜7, 8, 37, 67は、上述した特開平10-223534号公報、特開平10-229048号公報および特開平11-31660号公報のように不純物を含有していなくても、ゲッタリングは可能であ

る。しかしながら、触媒元素のゲッタリング効果を上げるには、上記第1、第2実施の形態の場合のように、第2のa-Si膜8、37に5族Bから選ばれた元素をさらに含有させることが有効である。このようにすることで、第2のa-Si膜8、37における触媒元素の固溶度を飛躍的に上げることができ、上記固溶度の差によって触媒元素の移動(すなわち上記第1のゲッタリング作用)も同時に行われるようになる。したがって、上述した触媒元素のゲッタリングの2つのメカニズム・効果の双方共同時に得ることができ、下層の活性領域となる結晶性ケイ素膜3b、33bにおいて大きく触媒元素の膜中濃度を低減することができるのである。すなわち、上記第1のゲッタリング作用と第2のゲッタリング作用とを組み合わせた積算相乗効果によって、従来法に比べて大きくゲッタリング効率を向上できるのである。

【0186】具体的に、上記5族Bから選ばれる元素としては、リン(P)、窒素(N)、ヒ素(As)、アンチモン(Sb)、ビスマス(Bi)から選ばれた少なくとも一つの元素を用いることができる。これらから選ばれた一種または複数種類の元素であれば、上記触媒元素を効率的に移動させることができ、十分なゲッタリング効果が得られるのである。このゲッタリングのメカニズムに関しては、未だ詳しい知見は得られていないが、これらの元素の中でも、最も効果が高いのはリンであることが分っている。

【0187】次に、上記リンを含有する第2のa-Si膜8を形成する工程においては、少なくともシラン(SiH_4)ガスとホスフィン(PH_3)ガスとを材料ガスとして、成膜温度400℃以下でのプラズマCVD法によって形成することが望ましい。リンを非晶質ケイ素膜に含有させる場合には通常イオンドーピング法を用いるが、その場合には、イオンドーピング時に基板が高温となって非晶質ケイ素膜がマイクロクリスタル化する場合が多い。このような微結晶化が行われると、上述したような効果は小さくなってしまう。ところが、シラン(SiH_4)ガスとホスフィン(PH_3)ガスとを材料ガスとした成膜温度400℃以下でのプラズマCVD法によれば、略完全な非晶質状態のケイ素膜が得られ、またリンの膜中濃度も非常に高濃度にする事ができる。しかも処理能力が高く、量産においても適しているのである。

【0188】さらに、上記第2実施の形態の場合のように、5族Bから選ばれた元素P(リン)を含む第2のa-Si膜37にさらにB(ホウ素)も含有させた場合には、より大きなゲッタリング効果を得ることができるのである。ゲッタリングシンクのケイ素膜に、リンだけではなくホウ素をもドーピングすると、そのゲッタリングメカニズムが変わることが分っている。すなわち、リンのみを含んでいる場合には、ノンドーピングの非ゲッタリング領域との触媒元素の固溶度の差を利用した拡散移動型ゲッタリング(第1のゲッタリング作用)であるが、加えてホウ素

を含ませることで逆にゲッタリングシンクで触媒元素が析出し易くなり、欠陥あるいは偏析サイトへのゲッタリング(第2のゲッタリング作用)が優勢になるのである。

【0189】後者の場合の方が、よりゲッタリング能力は高いのであるが、欠陥・偏析サイトによるゲッタリング作用であるために、アニール温度に対してよりシビアになる。上記各実施の形態では、欠陥のようなゲッタリングサイトを残したまま、加熱処理を行うため、上述のように欠陥・偏析サイトを利用した第2のゲッタリング作用に対して非常に有効である。したがって、このように第2のa-Si膜にP(リン)に加えてB(ホウ素)も含有させることによって、より大きな触媒元素のゲッタリング効果を得ることができ、活性領域での触媒元素濃度の低減を図ることができる。その場合におけるリンとホウ素とを含有する第2のa-Si膜37を形成する方法としては、少なくともシラン(SiH_4)ガスとホスフィン(PH_3)ガスとジボラン(B_2H_6)ガスを材料ガスとして、成膜温度400℃以下でのプラズマCVD法によって形成することが望ましい。このようにすることによって、上述したように、略完全な非晶質状態のケイ素膜を得ることができ、リンとホウ素との膜中濃度も非常に高濃度とすることができる。しかも、処理能力が高く、量産においても適していると言えるのである。

【0190】上記各実施の形態における効果を高めるその他の方法として、上記第3実施の形態のごとく、ゲッタリングシンクとなる第2のa-Si膜67にアルゴン(Ar)、クリプトン(Kr)、キセノン(Xe)から選ばれた希ガス元素を含有させることも非常に有効である。ゲッタリングシンクの非晶質ケイ素膜にこれらの希ガス元素が存在すると、そこで大きな格子間歪みが生じるために、元々の特徴である欠陥・偏析サイトによる第2のゲッタリング作用が非常に強力に働くのである。このことは、一般的にSiウェハを用いるICの分野でもよく知られた技術である。しかしながら、これらの元素は非晶質ケイ素膜中に存在することで、それらが非晶質ケイ素膜の結晶成長を阻害し、結晶成長(結晶核発生)までの潜伏期間が長くなり、結晶成長速度を遅らせる効果を有する。そのために、上記加熱処理時におけるゲッタリングシンクの第2の非晶質ケイ素膜を、より非晶質状態のままで保つことができ、より大きな第2のゲッタリング作用を得ることができるのである。したがって、このような希ガス元素を上記第2の非晶質ケイ素膜に含有させることは、この発明のコンセプト・目的に一致した非常に有効な手段なのである。また、これらの希ガス元素の中で最も効果が高いのはArであり、Arを用いた場合に最も大きな効果を得ることができるのである。

【0191】このような希ガス元素を含む第2のa-Si膜67を形成する方法としては、プラズマCVD法によって形成した後に、イオンドーピング法によって希ガス元素を膜中にドーピングする方法が望ましい。a-S

i膜を先に形成した後、ドーピングして希ガス元素を導入することで、その格子間歪みをより大きくすることができ、より高いゲッターリング効果が得られるのである。また、その場合のドーピングの材料ガスは希ガスであり、純度100%であるので、ドーピングの処理能力(スループット)も非常に高い。

【0192】さて、上記各実施の形態においては、第1のa-Si膜3, 33, 63にその結晶化を促進させる触媒元素を導入して加熱処理を施し、結晶化させて半導体装置の活性領域となる結晶性ケイ素膜3b, 33b, 63b上に第2のa-Si膜7, 8, 37, 67を設け、この第2のa-Si膜7, 8, 37, 67へ触媒元素を移動させるものである。ところが、このゲッターリングシンクとなる第2のa-Si膜7, 8, 37, 67は、上記触媒元素をゲッターリングした後は、半導体装置として不必要なものである。よって、この第2のa-Si膜7, 8, 37, 67は除去する必要があるが、その際に下層の活性領域となる結晶性ケイ素膜3c, 33c, 63cを残したまま、上層の第2のa-Si膜7, 8, 37, 67のみを除去する必要がある。そのためには、下層の結晶性ケイ素膜3c, 33c, 63cと上層の第2のa-Si膜7, 8, 37, 67との間で100%近いエッチング選択比をもったエッチング処理が望まれるが、実際には、同様のケイ素膜系材料であるので、100%近いエッチング選択比をもった選択エッチングは不可能である。よって、上記各実施の形態においては、活性領域となる結晶性ケイ素膜3c, 33c, 63cと第2のa-Si膜7, 37, 67との間に、第2のa-Si膜7, 8, 37, 67を除去する際のエッチングストップとなるバリア薄膜を設けることが有効である。

【0193】その場合におけるバリア薄膜としては、上記第2のa-Si膜7, 8, 37, 67を除去する際のエッチングストップとして、十分なエッチング選択比を有している必要があるのは勿論であるが、このバリア薄膜を通過して下層の結晶性ケイ素膜3b, 33b, 63bから上層の第2のa-Si膜7, 8, 37, 67へと触媒元素の移動が行われる必要がある。この触媒元素の移動を阻害するようであれば、ゲッターリングシンクとなる上層の第2のa-Si膜7, 8, 37, 67への触媒元素の十分な移動は行われず、ゲッターリング効果を得ることはできない。すなわち、上記各実施の形態による効果は全く無くなってしまう。このような目的から、活性領域の結晶性ケイ素膜3b, 33b, 63bと第2のa-Si膜7, 37, 67との間に設けられるバリア薄膜としては、膜厚50Å以下の酸化ケイ素膜6, 36, 66を用いることが望ましい。このような膜であれば、上述した目的を双方共満たしている。また、このときの膜厚が50Åより厚ければ、上記活性領域の結晶性ケイ素膜3b, 33b, 63bと第2のa-Si膜7, 8, 37, 67との間で触媒元素の十分な移動は行われず、触媒元素の高いゲッターリング効果は得られない。

【0194】上記各実施の形態において、上記触媒元素によって結晶化されたケイ素膜3a, 33a, 63aの結晶性をより向上し、半導体装置の性能、特に電流駆動能力をより向上させる方法として、触媒元素によって結晶化されたケイ素膜3a, 33a, 63aに対して、さらに高温の酸化雰囲気中にて熱処理を行う工程や、レーザ光を照射する工程を追加することも有効である。前者の高温の酸化雰囲気中において熱処理を行ってその結晶性をさらに向上する方法においては、触媒元素によって結晶化されたケイ素膜3a, 33a, 63aに対して、さらに高温(800℃~1100℃)で酸化処理を行うと、酸化作用によって生じる過飽和Si原子がケイ素膜中へ供給され、過飽和Si原子がケイ素膜3a, 33a, 63a中の結晶欠陥(特にダングリングボンド)に入り込み、欠陥を消滅させることができる。しかしながら、この800℃~1100℃の高温での酸化処理を行う方法では、安価なガラス基板を使用することはできない。その観点から、上記各実施の形態においては、後者のレーザ光を照射する方法がより有効である。

【0195】上記各実施の形態において得られる結晶性ケイ素膜3a, 33a, 63aにレーザ光5, 35, 65を照射した場合、結晶性ケイ素膜と非晶質ケイ素膜との融点の相違から結晶粒界部や微小な残留非晶質領域(未結晶化領域)が集散的に処理されることになる。その場合、通常の固相成長法で形成した結晶性ケイ素膜では、結晶構造が双晶状態であるため、強光照射後も結晶粒内部は双晶欠陥として残る。それに比べて、触媒元素を導入して結晶化した結晶性ケイ素膜は、柱状結晶で形成されており、その内部は単結晶状態であるため、強光の照射によって結晶粒界部が処理されると基板全面に亘って単結晶状態に近い良質の結晶性ケイ素膜が得られ、結晶性の観点から、その有効性は非常に高いと言える。また、元々結晶性を有するケイ素膜3a, 33a, 63aに対してレーザ光5, 35, 65を照射させるのであるから、非晶質ケイ素膜に直接レーザ照射して結晶化する方法とは異なり、レーザ照射のばらつきは大きく緩和され、均一性上の問題も生じない。

【0196】但し、このようなレーザ光照射処理を行う工程は、上記活性領域となる結晶性ケイ素膜3a, 33a, 63a上に第2のa-Si膜7, 8, 37, 67を設ける工程の前に、すなわち、触媒元素を第2のa-Si膜7, 8, 37, 67へゲッターリングする前に行うことが望ましい。その理由は、触媒元素による固相結晶化で得られた結晶性ケイ素膜3a, 33a, 63aにレーザ光5, 35, 65を照射すると、触媒元素の存在形態に変化が生じるためである。具体的に述べると、シリサイドとしての凝集・再凝集が起こるためである。活性領域のケイ素膜から触媒元素を取り除くゲッターリング工程としては、活性領域を構成する結晶性ケイ素膜の結晶状態が完全に固まってから行うのが望ましく、そうすることによって理想的

なゲッタリングを行うことができる。逆に言うと、ゲッタリング後に結晶性を助長するような処理(レーザ光照射)を行った場合には、この結晶性助長処理によってゲッタリング後に残留し固溶していた触媒元素が再凝集してシリサイド化し、半導体素子に電氣的悪影響を与える可能性があるのである。

【0197】さて、上記第1のa-Si膜3,33,63に導入されてその結晶化を促進させるための触媒元素として利用できる元素としては、上述したニッケル(Ni)4,34,64の他に、コバルト(Co)、鉄(Fe)パラジウム(Pd)、白金(Pt)、銅(Cu)、金(Au)を利用することができる。これらの中から選択された一種または複数種類の元素であれば微量で結晶化助長の効果があるが、それらの中でも、特にニッケル4,34,64を用いた場合に最も顕著な効果を得ることができる。その理由については、次のようなモデルを考えることができる。

【0198】すなわち、上記触媒元素は単独では作用せず、上記a-Si膜3,33,63と結合してシリサイド化することによって結晶成長に作用する。つまり、その場合における結晶構造がa-Si膜3,33,63の結晶化時に一種の鋳型のように作用し、a-Si膜3,33,63の結晶化を促すというモデルである。上記Niは、2つのSiとNiSi₂なるシリサイドを形成する。NiSi₂は螢石型の結晶構造を示し、その結晶構造は単結晶ケイ素のダイヤモンド構造と非常に類似したものである。しかも、NiSi₂はその格子定数が5.406Åであり、結晶シリコンのダイヤモンド構造での格子定数5.430Åに非常に近い値を有している。したがって、NiSi₂は、a-Si膜3,33,63を結晶化させるための鋳型としては最高のものであり、上記各実施の形態における触媒元素としては、特にNiを用いるのが最も望ましい。

【0199】上記各実施の形態において、上記第1のa-Si膜3,33,63にその結晶化を促進する触媒元素を導入する際における触媒元素の導入量(面密度)は、全反射蛍光X線測定値で $5 \times 10^{11} \text{ cm}^{-2} \sim 5 \times 10^{13} \text{ cm}^{-2}$ の範囲内とすることが望ましい。この範囲内であれば、必要且つ十分な結晶成長を引き起こすことができるのである。その際に、触媒元素の導入量が $5 \times 10^{13} \text{ cm}^{-2}$ 以上の場合には結晶成長に寄与しない過剰な触媒元素の析出が多発し、後のゲッタリング工程においてもゲッタリングが困難となってしまう。

【0200】さて、上記各実施の形態において形成された半導体装置としては、活性領域を構成する結晶性ケイ素膜が触媒元素を含み、且つ活性領域内において該触媒元素が膜厚方向に対して濃度分布を有してなることが特徴である。このような状態が上記各実施の形態によって触媒元素を膜厚方向に効率良くゲッタリングされた結果として得られる。しかも、上記活性領域内における膜厚方向の触媒元素の濃度分布は、活性領域上面で最も高く

下面に行く程低くなるような濃度分布であることが望ましい。このような濃度分布状態が上記各実施の形態における効果が最も引き出された状態で、触媒元素が膜厚方向に効率良くゲッタリングされた結果である。

【0201】加えて、上記各実施の形態における活性領域内における触媒元素の状態は、シリコン格子間に固溶しており、シリサイドとして析出していない状態であることが望ましい。この状態がゲッタリングを行ったことで生じる状態である。結晶成長の状態ではシリサイドの析出が必ずあり、逆に言うとシリサイドによって結晶成長が行われる。したがって、上記触媒元素によって結晶成長が行われたにも拘らず、活性領域内にシリサイド状態で触媒元素が存在せずに、シリコン格子間に固溶して存在するという状態は、結晶成長の後に効率的にゲッタリングが行われたことを表しており、上記各実施の形態における高いゲッタリング効果を表した結果である。

【0202】また、上記活性領域の表面近傍にはAr元素を含むことが望ましい。上層の第2のa-Si膜にArをドーピングしてゲッタリングした場合、幾分かのArは下層の活性領域表面に打ち込まれ、活性領域の表面近傍にArが存在する。これはArによる効果的なゲッタリングを行ったために見られる状態である。尚、上記各実施の形態における活性領域中に含まれる触媒元素種として、少なくともNi元素を含むことが最も望ましい。これは上述したようにNiが触媒元素として最も有効に作用するからである。

【0203】最後に、上記各実施の形態においては、半導体装置の活性領域内に残留する触媒元素量を出来る限り低減し、高性能で高信頼性、高安定性の半導体装置を実現することを目的としている。そのためには、最終的に得られる半導体装置の能動(チャネル)領域における触媒元素の濃度が、 $1 \times 10^{15} \text{ cm}^{-3} \sim 1 \times 10^{17} \text{ cm}^{-3}$ の範囲内であれば良い。上記チャネル領域中の触媒元素濃度を $1 \times 10^{17} \text{ cm}^{-3}$ 以下にすることによって、触媒元素が半導体素子特性に及ぼす電氣的な悪影響は全く見られなくなる。そして、上記各実施の形態を適用することによって、このような低濃度を実現することができるのである。また、上記触媒元素を用いて結晶化を行う限り、最低限 $1 \times 10^{15} \text{ cm}^{-3}$ の濃度の触媒元素はチャネル領域内に残り、これ以下に低減することは現在考えられる如何様な方法をもってしても不可能である。したがって、触媒元素により結晶化を行った結果として、少なくとも $1 \times 10^{15} \text{ cm}^{-3}$ 以上の濃度の触媒元素がチャネル領域内に残存するのである。

【0204】以上、この発明を上記第1～第3実施の形態によって具体的に説明したが、この発明は上述の実施例に限定されるものではなく、この発明の技術的思想に基づく各種の変形が可能である。

【0205】例えば、上記触媒元素ニッケルをゲッタリングシンのa-Si膜3,33,63へ移動させる際の

上記第2の加熱処理として、基板92の外形と概略相似形の炉心管91を有する抵抗性加熱炉を用いる方法を示したが、通常の抵抗性加熱炉(ファーンズ炉)でも同様の処理は可能である。また、その他の枚葉式等のRTA(瞬間熱アニール)ライクなアニール方法も使用できる。

【0206】また、上記触媒元素としてのニッケルを導入する方法としては、a-Si膜3,33,63表面にニッケル塩を溶かした溶液を塗布する方法を採用したが、a-Si膜3,33,63を成膜する前に下地膜表面にニッケルを導入し、a-Si膜3,33,63下層よりニッケルを拡散させて結晶成長を行わせる方法でもよい。即ち、結晶成長はa-Si膜3,33,63の上面側から行ってもよいし、下面側から行ってもよいのである。また、ニッケルの導入方法としても、その他、様々な手法を用いることができる。例えば、ニッケル塩を溶かす溶媒としてSOG(スピノングラス)材料を用い、下地の酸化ケイ素膜2,32,62より拡散させる方法もある。また、スパッタリング法や蒸着法やメッキ法によって薄膜形成する方法や、イオンドーピング法によって直接導入する方法等も利用できる。

【0207】また、上述したように、結晶化を助長する触媒金属元素としては、ニッケル以外にコバルト、鉄、パラジウム、白金、銅、金を用いても同様の効果が得られる。さらに、上記第1,第2実施の形態においては、ニッケルのゲッタリング効果を高めるための5族B元素としてリンを用いたが、窒素、ヒ素、アンチモン、ビスマスを利用しても良い。勿論、先に説明したように、ノンドーパのa-Si膜を用いてもゲッタリング効果を得ることはできる。さらに、上記第3実施の形態においては、ゲッタリングシンクとなる第2のa-Si膜67にアルゴンを用いてアルゴンをドーピングして用いたが、クリプトンやキセノンでも同様の効果を得ることができる。その際に、上記第3実施の形態においては、アルゴン68をイオンドーピング法によってa-Si膜67に導入したが、この導入方法に限定されるものではない。例えば、シリコンターゲットを用いてアルゴンをスパッタリングガスとするスパッタによってa-Si膜を形成してもよい。この方法でも、多量のアルゴンがa-Si膜中に含まれる。また、CVD法において、材料ガスとしてアルゴンを追加してa-Si膜形成処理を行ってもよい。

【0208】また、ゲッタリングシンクとなるa-Si膜3,33,63を除去する際のエッチングストップとしても、上記各実施の形態で述べた酸化ケイ素膜6,36,66以外に、窒化ケイ素膜等その他様々な膜が使用可能である。また、この酸化ケイ素膜6,36,66の形成方法についても、上記各実施の形態で説明したようなオゾン水処理やエキシマUV処理等による薄膜酸化法以外に、例えばCVDでの薄膜形成や酸素プラズマ処理、熱酸化法や硫酸酸化等を用いても構わない。

【0209】また、上記各実施の形態においては、ニッ

ケルによって結晶化された結晶性ケイ素膜3a,33a,63aの結晶性をさらに助長する手段として、パルスレーザであるエキシマレーザ5,35,65の照射による加熱法を用いたが、例えば連続発振Arレーザ等それ以外のレーザでも同様の処理が可能である。

【0210】さらに、上記各実施の形態の応用としては、液晶表示用のアクティブマトリクス型基板以外に、例えば、密着型イメージセンサ、ドライバ内蔵型のサーマルヘッド、有機系EL(エレクトロルミネッセンス)等を発光素子としたドライバ内蔵型の光書き込み素子や表示素子、三次元IC等が考えられる。何れも上記各実施の形態を適用することによって、これらの素子の高速化や高解像度化等の高性能化が実現される。さらに、上記各実施の形態によって形成される半導体装置としては、上述のMOS型トランジスタに限らず、結晶性半導体を素子材としたバイポーラトランジスタや静電誘導トランジスタを始めとして幅広く半導体プロセス全般に適用することができるのである。

【0211】

【発明の効果】以上より明らかなように、第1の発明の半導体装置の製造方法は、基板上に第1の非晶質ケイ素膜を形成して触媒元素を導入し、第1の加熱処理を施して結晶成長を行わせて結晶性ケイ素膜とし、上記結晶性ケイ素膜上に形成された第2の非晶質ケイ素膜が完全に結晶化しない条件で第2の加熱処理を行って上記触媒元素を上記第2の非晶質ケイ素膜へ移動させるので、上記第2の非晶質ケイ素膜におけるダングリングボンド等の欠陥が上記触媒元素に対する偏折サイトとなり、上記結晶性ケイ素膜から移動する上記触媒元素を効果的にトラップすることができる。

【0212】その結果、上記第2の非晶質ケイ素膜が結晶化しない状態での加熱処理を行わない従来法に比べて、上記結晶性ケイ素膜における残留触媒元素量を大幅に低減することができる。したがって、上記従来法に比べて、上記結晶性ケイ素膜を活性領域とする半導体装置におけるオフ動作時のリーク電流の異常を無くし、ばらつきの少ない安定した特性と高い信頼性とを得ることができる。更には、リーク電流の少ない安定した特性を有することから、集積度の高い高性能半導体装置を簡便な製造プロセスによって得ることができる。また、その製造工程において良品率を大きく向上でき、商品の低コスト化も図ることができるのである。

【0213】特に、液晶表示装置において、アクティブマトリクス基板に要求される画素スイッチングTFTのスイッチング特性の向上と、周辺駆動回路部を構成するTFTに要求される高性能化・高集積化とを同時に満足し、同一基板上にアクティブマトリクス部と周辺駆動回路部とを形成するドライバモノリシック型アクティブマトリクス基板を実現できる。したがって、モジュールのコンパクト化、高性能化、低コスト化を図ることができ

るのである。

【0214】また、1実施例の半導体装置の製造方法は、上記第2の加熱処理を、上記第2の非晶質ケイ素膜に全く結晶核が発生しない条件で行うので、上記結晶性ケイ素膜中の触媒元素が上記第2の非晶質ケイ素膜へ移動される全期間において、最大限のゲッタリング偏析サイトを保持できる。したがって、上記偏析サイトへの上記触媒元素のトラップ作用を最大限に引き出すことができる。

【0215】また、1実施例の半導体装置の製造方法は、上記第2の加熱処理を、上記結晶性ケイ素膜中の触媒元素濃度と上記第2の非晶質ケイ素膜中の触媒元素濃度とが熱平衡状態の偏析状態となるような加熱温度および加熱時間で行うので、上記熱平衡状態の偏析状態となった時点でゲッタリング作用が飽和状態となり、最も高く安定したゲッタリング効果を得ることができる。

【0216】また、1実施例の半導体装置の製造方法は、上記第2の加熱処理を、450℃以上且つ550℃以下の加熱温度および5分以上且つ4時間以下の処理時間で行うので、図7から分かるように、上記触媒元素を距離100nmだけゲッタリングすることができる。したがって、上記結晶性ケイ素膜中の触媒元素を、膜の厚さ方向に十分ゲッタリングすることができる。

【0217】また、1実施例の半導体装置の製造方法は、上記第2の加熱処理の加熱温度は480℃以上且つ520℃以下であり、上記処理時間は10分以上且つ2時間以下であるので、液晶表示用のアクティブマトリクス基板のマザーボードに使用される600mm×720mmで厚さ0.7mmのガラス基板であっても、重量によって撓むことなく上記第2の加熱処理を行うことができる。

【0218】また、1実施例の半導体装置の製造方法は、上記第2の加熱処理において、5℃/分を上回る昇・降温速度で昇温および降温するので、ガラス基板を用いる場合に、余分な加熱処理による熱的ダメージを無くし、且つ、上記ゲッタリング効果を損なわないようにできる。

【0219】また、1実施例の半導体装置の製造方法は、上記第2の加熱処理を、基板の平面形状と概略相似形の断面形状を有する炉心管の中に、上記基板が、基板面を炉心方向に向けると共に、炉心管と基板との間のスペースが10mm以上且つ80mm以下になるように配置されるファーンズ炉を用いておこなうので、上記基板表面へ供給される雰囲気ガスの量を増やすことができる。したがって、早い昇降温速度を実現できると共に上記基板内の温度分布を略一定に保つことができ、メートルサイズの大型ガラス基板に対しても割れや反りの無い安定した処理を実現できる。

【0220】また、1実施例の半導体装置の製造方法は、上記基板の平面形状および炉心管の断面形状は矩形状であるので、矩形の平面形状を有する基板に対して、

上記炉心管との間のスペースを最適にして、上記第2の加熱処理時に必要な早い昇降温速度を実現すると共に、上記基板内の温度分布を略一定に保つことができる。

【0221】また、1実施例の半導体装置の製造方法は、上記第2の非晶質ケイ素膜に5族Bから選ばれた元素を導入するので、上記第2の非晶質ケイ素膜における触媒元素の固溶度を飛躍的に上げることができる。したがって、上記偏析サイトへの上記触媒元素のトラップによるゲッタリング作用に加えて、上記固溶度の差による触媒元素のゲッタリング作用も同時に行うことができ、上記結晶性ケイ素膜における触媒元素濃度をより低減できる。

【0222】また、1実施例の半導体装置の製造方法は、上記5族Bから選ばれた元素を、P、AsおよびSbのうちの一種または複数種とするので、上記触媒元素を効率的に移動して、十分なゲッタリング効果を得ることができる。

【0223】また、1実施例の半導体装置の製造方法は、上記第2の非晶質ケイ素膜に、上記5族Bから選ばれた元素中で最も高いゲッタリング効果が得られるPを導入するので、より高いゲッタリング効果を得ることができる。したがって、上記第2の非晶質ケイ素膜が結晶化しない状態での加熱処理を行わない従来法に比べて、約1/4まで残留触媒元素濃度を低減することができる。

【0224】また、1実施例の半導体装置の製造方法は、上記Pを含んだ第2の非晶質ケイ素膜を、少なくともSiH₄ガスとPH₃ガスとを材料ガスとして、成膜温度400℃以下でのプラズマCVD法によって形成するので、イオンドーピング法を用いた場合のような非晶質ケイ素膜の微結晶化は起らない。したがって、略完全な非晶質状態のケイ素膜を得ると共に、上記リンの濃度を非常に高濃度にでき、十分なゲッタリング効果を得ることができる。

【0225】また、1実施例の半導体装置の製造方法は、上記第2の非晶質ケイ素膜に、上記Pに加えてBをも導入しているので、上記Pによる触媒元素の固溶度の差を利用した拡散移動型ゲッタリング作用よりも、欠陥あるいは偏析サイトへのゲッタリング作用の方が優勢になる。その場合、後者のゲッタリング作用の方がゲッタリング能力が高いため、より大きな触媒元素のゲッタリング効果を得ることができる。

【0226】また、1実施例の半導体装置の製造方法は、上記PおよびBを含んだ第2の非晶質ケイ素膜を、少なくともSiH₄ガスとPH₃ガスとB₂H₆ガスを材料ガスを材料ガスとして、成膜温度400℃以下でのプラズマCVD法によって形成するので、略完全な非晶質状態のケイ素膜を得ると共に、上記PおよびBの濃度を非常に高濃度にできる。したがって、十分なゲッタリング効果を得ることができるのである。

【０２２７】また、１実施例の半導体装置の製造方法は、上記第２の非晶質ケイ素膜にAr、KrおよびXeから選ばれた希ガス元素を導入するので、大きな格子間歪みを生じさせることができる。したがって、上記欠陥・偏析サイトによるゲッタリング作用を非常に強力に働かせることができる。しかも、これらの元素は上記第２の非晶質ケイ素膜の結晶成長を阻害するので、上記第２の加熱処理時において、上記第２の非晶質ケイ素膜はより非晶質状態のままで保たれる。こうして、より大きなゲッタリング作用を得ることができる。

【0228】また、1実施例の半導体装置の製造方法は、上記第2の非晶質ケイ素膜に、上記Ar、KrおよびXeから選ばれた元素中で最も高いゲッターリング効果が得られるArを導入するので、より高いゲッターリング効果を得ることができる。

【0229】また、1実施例の半導体装置の製造方法は、上記第2の非晶質ケイ素膜をプラズマCVD法によって形成し、その後、イオンドーピング法によってArを導入するので、上記第2の非晶質ケイ素膜の格子間歪みをより大きくして、より高いゲッターリング効果を得ることができる。

【0230】また、1実施例の半導体装置の製造方法は、上記結晶性ケイ素膜と第2の非晶質ケイ素膜との間に、上記第2の非晶質ケイ素膜を除去する際のエッチングストップパとして機能するバリア薄膜を形成するので、下層の上記結晶性ケイ素膜と上層の上記第2の非晶質ケイ素膜とが同様のケイ素膜系材料であっても、上記下層の結晶性ケイ素膜を残して上記上層の第2の非晶質ケイ素膜のみを完全に除去することができる。

【0231】また、1実施例の半導体装置の製造方法は、上記バリア薄膜を、膜厚50Å以下の酸化ケイ素膜としたので、エッチングストップとして十分なエッチング選択比を有すると共に、上記バリア薄膜を介した上記結晶性ケイ素膜から第2の非晶質ケイ素膜への十分なゲッターリング効果を得ることができる。

【0232】また、1実施例の半導体装置の製造方法は、上記第1の加熱処理によって得られた結晶性ケイ素膜にレーザ光を照射して、上記結晶性ケイ素膜の結晶性を高めるので、強光の照射によって結晶粒界部が処理されて、基板全面に亘って単結晶状態に近い良質の結晶性ケイ素膜を得ることができる。

【0233】また、1実施例の半導体装置の製造方法は、上記第1の非晶質ケイ素膜に導入される触媒元素は、Ni、Co、Fe、Pd、Pt、CuおよびAuから選ばれた一種または複数種であるので、微量で十分な結晶化助長の効果を得ることができる。

【0234】また、1実施例の半導体装置の製造方法は、上記第1の非晶質ケイ素膜には、上記触媒元素として最も高い結晶化促進性を呈するNiが導入されるので、より高い結晶化助長の効果を得ることができる。

【0235】また、1実施例の半導体装置の製造方法は、上記第1の非晶質ケイ素膜に対する触媒元素の導入量を、全反射蛍光X線測定値で $5 \times 10^{11} \text{ cm}^{-2}$ 以上且つ $5 \times 10^{13} \text{ cm}^{-2}$ 以下としたので、十分な結晶成長を引き起こすことができ、且つ、結晶成長に寄与しない過剰な触媒元素の析出を無くして十分なゲッタリングを行うことができる。

【0236】また、第2の発明の半導体装置は、上記第1の発明の半導体装置の製造方法によって作成されたので、上記第2の非晶質ケイ素膜が結晶化しない状態での加熱処理を行わない従来法によって作成された半導体装置と比べて、活性領域における残留触媒元素量を大幅に低減でき、オフ動作時のリーク電流の異常を無くして高い信頼性を得ることができる。

【0237】また、第3の発明の半導体装置は、活性領域としての結晶性ケイ素膜には、結晶化を促進するための触媒元素を含むと共に、膜厚方向への上記触媒元素の濃度分布を有しているので、上記結晶性ケイ素膜は、触媒元素の導入によって結晶成長が行われ、上記触媒元素が膜厚方向の効率よくゲッターリングされて形成されている。すなわち、上記第1の発明の半導体装置の製造方法によって形成されている。

【0238】したがって、上記結晶性ケイ素膜における残留触媒元素量が大幅に低減されており、オフ動作時のリーク電流の異常は無く、ばらつきの少ない安定した特性と高い信頼性とを得ることができる。

【0239】また、1実施例の半導体装置は、上記活性領域における上記基板側とは反対側の面から上記基板側の面に向かって低下するような触媒元素の濃度分布になっているので、上記膜厚方向へのゲッターリングは、上記結晶性ケイ素膜から、この結晶性ケイ素膜上に形成されたゲッターリングシンクに向かって効率良く行われている。

【0240】また、1実施例の半導体装置は、上記触媒元素は上記活性領域内におけるシリコン格子間に固溶して、シリサイドとして析出していないので、上記触媒元素は十分にゲッターリングされて大幅に低減されており、上記触媒元素がシリサイドとして析出することに起因するオフ動作時のリーク電流の異常を無くすることができる。したがって、高い信頼性を得ることができる。

【0241】また、1実施例の半導体装置は、上記活性領域の表面近傍にはAr元素を含んでいるので、上記触媒元素がゲッタリングされる際に、上記活性領域の上層に形成されたゲッタリングシンクにArがドーピングされて、Arによる効果的なゲッタリングが行われている。したがって、大幅に低い残留触媒元素量を呈することができる。

【0242】また、1実施例の半導体装置は、上記活性領域には、上記触媒元素として少なくともNi元素を含んでいるので、上記活性領域としての結晶性ケイ素膜が形成される際に最も高い結晶化促進性を有するNiが導

入されている。したがって、上記活性領域は十分に結晶成長が行われている。

【0243】また、1実施例の半導体装置は、上記活性領域の触媒元素の平均濃度を、 $1 \times 10^{15} \text{ cm}^{-3}$ 以上且つ $1 \times 10^{17} \text{ cm}^{-3}$ 以下としたので、上記触媒元素が素子特性に及ぼす電氣的な悪影響は全く見られない。

【図面の簡単な説明】

【図1】 この発明の半導体装置としてのTFTにおける製造工程の概要を示す断面図である。

【図2】 図1に続く製造工程の概要を示す断面図である。

【図3】 図1とは異なるTFTにおける製造工程の概要を示す断面図である。

【図4】 図3に続く製造工程の概要を示す断面図である。

【図5】 図1および図3とは異なるTFTにおける製造工程の概要を示す断面図である。

【図6】 図5に続く製造工程の概要を示す断面図である。

【図7】 第2の加熱処理における加熱温度とゲッタリング時間との関係を示す図である。

【図8】 第2のa-Si膜をアルカリ溶液でエッチング除去する際のエッチング時間とエッチング量との関係を示す図である。

【図9】 結晶化領域と非晶質領域とが混在している第2のa-Si膜の表面および断面のエッチング前とエッチング途中の模式図である。

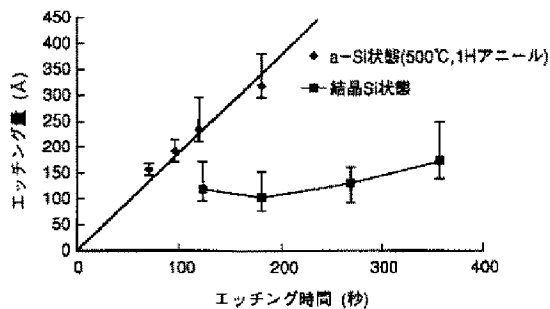
【図10】 第2の加熱処理を行う加熱装置の概念図である。

【図11】 石英チューブの断面形状と雰囲気ガスの流れを示す図である。

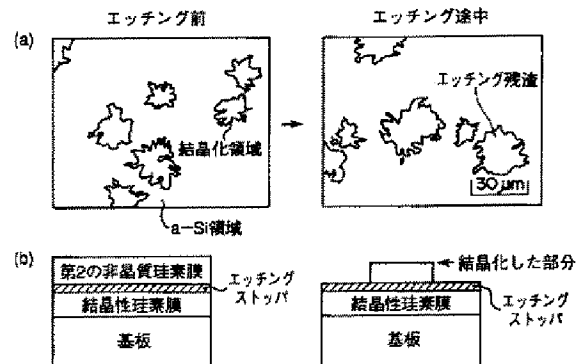
【符号の説明】

- * 1, 3 1, 6 1…ガラス基板、
- 3, 7, 3 3, 6 3, 6 7…a-Si膜、
- 3a, 3b, 3 3a, 3 3b, 6 3a, 6 3b…結晶性ケイ素膜、
- 3c, 3 3c, 6 3c…高品質な結晶性ケイ素膜、
- 4, 3 4, 6 4…ニッケル、
- 5, 1 7, 3 5, 6 5, 7 7…レーザ光、
- 6, 3 6, 6 6…酸化ケイ素膜、
- 8…リンを含むa-Si膜、
- 1 0, 3 9n, 3 9p, 7 0…活性領域、
- 1 1, 4 0, 7 1…ゲート絶縁膜、
- 1 2, 4 1n, 4 1p, 7 2…ゲート電極、
- 1 6, 4 5n, 4 5p, 7 6…チャネル領域、
- 1 8, 4 8, 7 8…層間絶縁膜、
- 1 9, 7 9…ソース電極・配線、
- 2 0…画素電極、
- 3 7…リンとホウ素とを含むa-Si膜、
- 4 2…リン、
- 1 4, 1 5, 4 3n, 4 4n, 7 4, 7 5…N型不純物領域、
- 4 7…ホウ素、
- 4 3p, 4 4p…P型不純物領域、
- 4 9…電極・配線、
- 2 1, 5 0, 8 1…Nチャネル型TFT、
- 5 1…Pチャネル型TFT、
- 6 8…アルゴン、
- 8 0…ドレイン電極・配線、
- 9 1…石英チューブ(炉心管)、
- 9 2…基板、
- 9 3…石英ボート、
- 9 5…ホームポジション、
- 9 6…アニールゾーン、
- 9 9…隙間、
- * 1 0 0…雰囲気ガス。

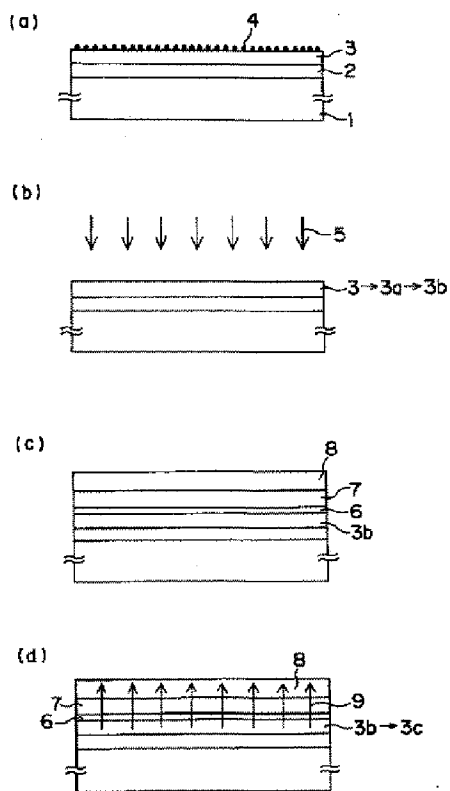
【図8】



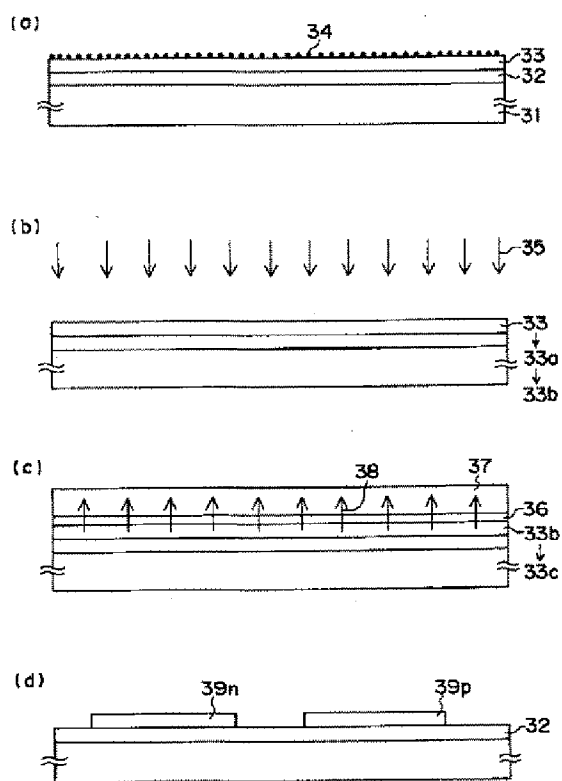
【図9】



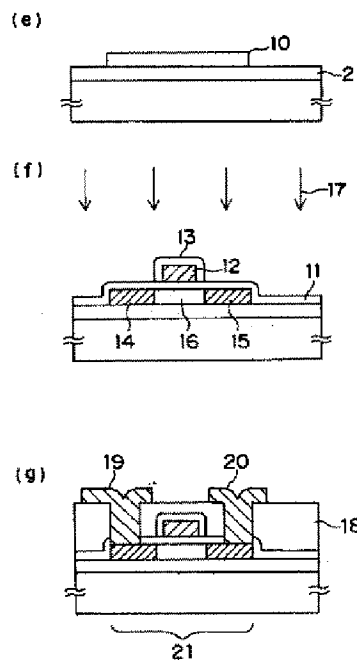
【図1】



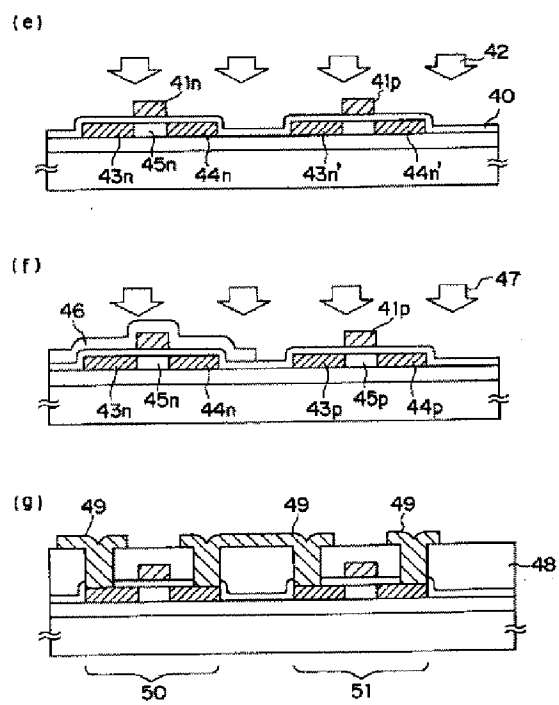
【図3】



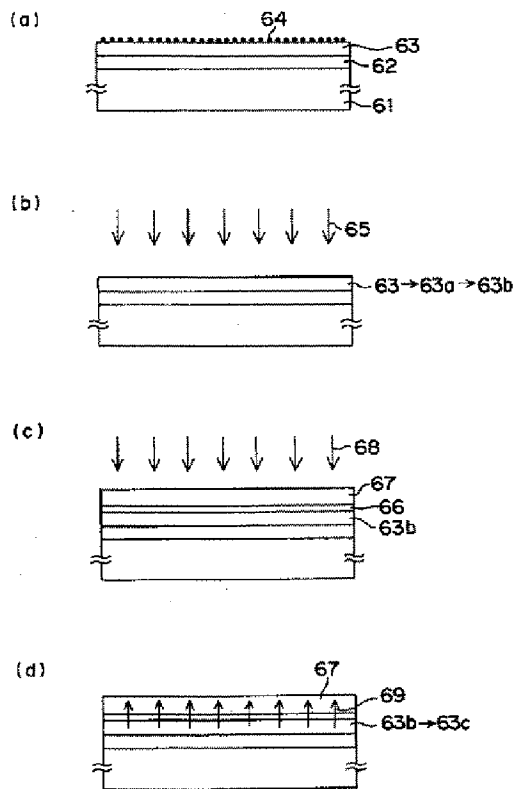
【図2】



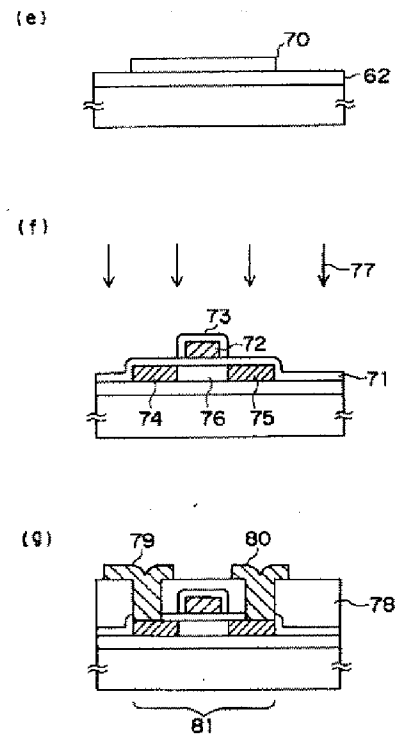
【図4】



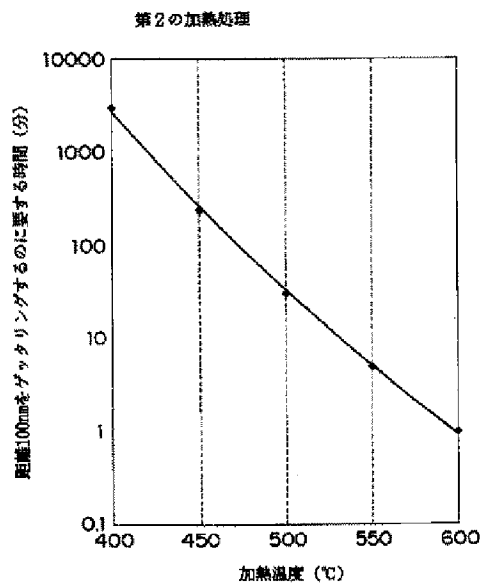
【図5】



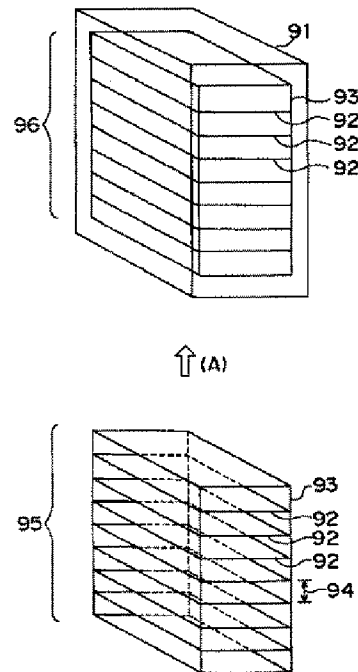
【図6】



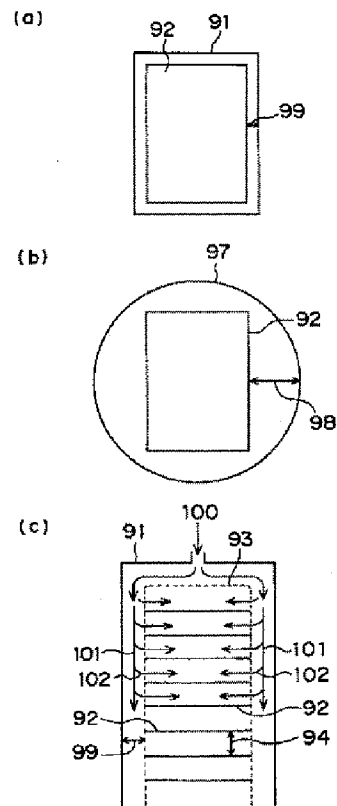
【図7】



【図10】



【図 11】



フロントページの続き

Fターム(参考) 5F052 AA02 AA11 AA17 BA02 BA07
 BB07 CA02 DA02 DB03 EA15
 EA16 FA06 FA19 JA01
 5F110 AA30 BB02 BB04 BB10 CC02
 DD02 DD13 EE03 EE34 EE44
 FF02 FF30 FF32 FF36 GG02
 GG13 GG25 GG45 HJ01 HJ04
 HJ12 HJ23 HL01 HL03 HL11
 HM14 NN02 NN23 NN24 NN35
 PP01 PP03 PP05 PP06 PP10
 PP29 PP34 QQ11 QQ23 QQ24
 QQ28